

Министерство образования и науки Российской Федерации
федеральное государственное бюджетное образовательное учреждение
высшего образования «Казанский национальный исследовательский
технический университет им. А.Н. Туполева-КАИ»

Институт компьютерных технологий и защиты информации

Кафедра компьютерных систем

УТВЕРЖДАЮ

Ответственный за ОП

Вершин И.С.Вершинин
«31» 08 2017 г.

Регистрационный номер 4010-17/5-
025

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

для проведения промежуточной аттестации обучающихся по дисциплине

“Микропроцессорные системы”

Индекс по учебному плану: Б1.В.ДВ.10.01

Направление подготовки: 09.03.01 Информатика и вычислительная техника

Квалификация: Бакалавр

Профиль подготовки: Вычислительные машины, комплексы, системы и сети

Вид(ы) профессиональной деятельности: научно-исследовательская, проектно-конструкторская

Заведующий кафедрой КС И.С. Вершинин

Разработчик: доцент кафедры КС Р.Р. Бикмухаметов

Казань 2017 г.

Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине

“Микропроцессорные системы”

Содержание фонда оценочных средств (ФОС) соответствует требованиям федерального государственного стандарта высшего образования (ФГОС ВО) по направлению подготовки 09.03.01 “Информатика и вычислительная техника”, учебному плану направления подготовки 09.03.01 “Информатика и вычислительная техника”. Разработанный ФОС обладает необходимой полнотой и является актуальным для оценки компетенций, осваиваемых обучающимися при изучении дисциплины “Микропроцессорные системы”. Разработанный ФОС полностью соответствует задачам будущей профессиональной деятельности обучающихся, установленных ФГОС ВО по направлению подготовки 09.03.01 “Информатика и вычислительная техника”. В составе ФОС присутствуют оценочные средства в виде тестовых заданий и контрольных вопросов различного уровня сложности, которые позволяют провести оценку порогового, продвинутого и превосходного уровней освоения компетенций по дисциплине. ФОС обладает необходимой степенью приближенности к задачам будущей профессиональной деятельности обучающихся, связанным со способностью разрабатывать предложения по совершенствованию микропроцессорных систем.

Существенные недостатки отсутствуют.

Заключение. Учебно-методическая комиссия делает вывод о том, что представленные материалы соответствуют требованиям ФГОС ВО по направлению подготовки 09.03.01 “Информатика и вычислительная техника” и рекомендуются для использования в учебном процессе.

Рассмотрено на заседании учебно-методической комиссии института КТЗИ от « 31 » августа 2017 г., протокол № 8 .

Председатель УМК института КТЗИ  В.В. Родионов

Содержание

Введение	4
1. Формы промежуточной аттестации по дисциплине	5
2. Оценочные средства для промежуточной аттестации	5
3. Перечень компетенций с указанием этапов их формирования в процессе освоения дисциплины	5
4. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкалы оценивания	6
5. Методические материалы, определяющие процедуру оценивания знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций	8
6. Типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций в процессе освоения дисциплины	9
6.1 Оценочные средства для текущего контроля освоения разделов учебной дисциплины	10
6.1.1 Вопросы для самопроверки по всем разделам дисциплины	10
6.1.2 Контрольное задание первой аттестации	11
6.1.3 Контрольное задание второй аттестации	11
6.1.4 Контрольное задание третьей аттестации	12
6.2 Оценочные средства для промежуточной аттестации	13
6.2.1 Тестовые материалы для проведения промежуточной аттестации по итогам освоения дисциплины (тест ТПА-1)	13
6.2.2 Тестовые материалы для проведения промежуточной аттестации по итогам курсовой работы (тест ТПА-2)	26
6.2.3 Список вопросов на экзамене	28
Лист регистрации изменений и дополнений	30

Введение

Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине **“Микропроцессорные системы”** – это комплект методических и контрольно-измерительных материалов, предназначенных для определения уровня сформированности компетенций, оценивания знаний, умений, владений на разных этапах освоения дисциплины, для проведения промежуточной аттестации обучающихся по дисциплине. ФОС ПА является составной частью учебного и методического обеспечения программы бакалавриата по направлению подготовки **09.03.01 “Информатика и вычислительная техника”**.

.Задачи ФОС по дисциплине **“Микропроцессорные системы”**:

- оценка запланированных результатов освоения дисциплины обучающимися в процессе изучения дисциплины, в соответствии с разработанными и принятыми критериями по каждому виду контроля;
- контроль и управление процессом приобретения обучающимися необходимых знаний, умений, навыков и формирования компетенций, определенных в ФГОС ВО по направлению подготовки.

ФОС ПА по дисциплине **“Микропроцессорные системы”** сформирован на основе следующих основных принципов оценивания:

- пригодности (валидности) (объекты оценки соответствуют поставленным целям обучения);
- надежности (использования единообразных стандартов и критериев для оценивания запланированных результатов);
- эффективности (соответствия результатов деятельности поставленным задачам).

ФОС ПА по дисциплине **“Микропроцессорные системы”** разработан в соответствии с требованиями ФГОС ВО по направлению подготовки **09.03.01 “Информатика и вычислительная техника”** для ат-

тестации обучающихся на соответствие их персональных достижений требованиям поэтапного формирования соответствующих составляющих компетенций и включает контрольные вопросы (или тесты) и типовые задания, необходимые для оценки знаний, умений и навыков, характеризующих этапы формирования компетенций.

1. Формы промежуточной аттестации по дисциплине

Дисциплина изучается в 7 семестре при очной форме обучения и завершается следующими формами промежуточной аттестации: экзамен и выполнение курсовой работы).

2. Оценочные средства для промежуточной аттестации

Оценочные средства для промежуточной аттестации по дисциплине **“Микропроцессорные системы”** при очной форме обучения представлены в таблице 1.

Таблица 1

№ п/п	Семестр	Форма промежуточной аттестации	Оценочные средства
1	7	экзамен	ФОС ПА- 1
2	7	выполнение курсовой работы	ФОС ПА- 2

3. Перечень компетенций с указанием этапов их формирования в процессе освоения дисциплины

Перечень компетенций и их составляющих, которые должны быть сформированы при изучении темы соответствующего раздела дисциплины **“Микропроцессорные системы”**, представлен в таблице 2.

Таблица 2

№ п/п	Этап формирования (семестр)	Наименование раздела	Код формируемой компетенции (составляющей компетенции)		Форма промежуточной аттестации
1.	7	Архитектура МПС	ПК-1	ПК-13, ПК-1У;	экзамен
2.	7	Подсистемы обработки и управления МПС	ПК-1	ПК-13; ПК-1У, ПК-1 В;	экзамен
3	7	Подсистемы памяти и ввода-вывода МПС	ПК-1	ПК-13; ПК-1У, ПК-1 В;	экзамен
4	7	Устройства сопряжения в МПС	ПК-1	ПК-13; ПК-1У, ПК-1 В;	выполнение курсовой работы

4. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описание шкалы оценивания

Показатели и критерии оценивания сформированности компетенций на экзамене и при выполнении курсовой работы приведены в таблицах 3 и 4 соответственно.

Таблица 3

№ п/п	Этап формирования (семестр)	Код формируемой компетенции (составляющей компетенции)		Критерии оценивания	Показатели оценивания (планируемые результаты обучения)		
					Пороговый уровень	Продвинутый уровень	Превосходный уровень
1.	7	ПК-1	ПК-1.3 ПК-1.У	Теоретические навыки	Знать методы разработки компонентов МПС. Уметь составлять проект разработки	Знать особенности разработки компонентов МПС. Уметь конфигурировать компоненты	Детально знать весь процесс разработки компонентов МПС. Уметь разрабатывать

					компонентов МПС. Уметь разрабатывать простейшие компоненты МПС.	МПС. Уметь находить неисправность в простых компонентах МПС.	сложные компоненты МПС. Уметь находить неисправность в сложных компонентах МПС.
2.	7	ПК-1	ПК-1.В	Практические навыки	Начальные навыки работы с компонентами МПС.	Средние навыки работы с компонентами МПС.	Глубокие навыки работы с компонентами МПС

Таблица 4

1.	7	ПК-1	ПК-1 З;	Уровень теоретической проработки проблемы сопряжения в МПС	Знать методы разработки устройств сопряжения (УС) в МПС.	Знать особенности разработки УС в МПС.	Детально знать весь процесс разработки УС в МПС.
2.	7	ПК-1	ПК-1 У, ПК-1 В;	Разработка принципиальных схем компонентов УС в МПС	Уметь разрабатывать простейшие компоненты УС. Владеть начальными навыками работы с компонентами УС.	Уметь конфигурировать компоненты УС. Владеть средними навыками работы с компонентами УС.	Уметь разрабатывать сложные компоненты УС. Владеть глубокими навыками работы с компонентами УС.

Формирование оценки при промежуточной аттестации по итогам освоения дисциплины зависит от уровня освоения компетенций, которые обучающийся должен освоить по данной дисциплине. Связь между итоговой оценкой и уровнем освоения компетенций (шкала оценивания) представлена в таблице 5.

Таблица 5

Описание шкалы оценивания

Шкала оценивания		Описание оценки в требованиях к уровню и объему компетенций
Словесное выражение	Выражение в баллах	
Отлично	от 86 до 100	Освоен превосходный уровень всех компетенций (составляющих компетенций)
Хорошо	от 71 до 85	Освоен продвинутый уровень всех компетенций (составляющих компетенций)

		тенций)
Удовлетворительно	от 51 до 70	Освоен пороговый уровень всех компетенций (составляющих компетенций)
Неудовлетворительно	до 51	Не освоен пороговый уровень всех компетенций (составляющих компетенций)

5. Методические материалы, определяющие процедуру оценивания знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций

Формирование оценки по результатам текущего контроля успеваемости и промежуточной аттестации по итогам освоения дисциплины “Микропроцессорные системы” приведено в таблице 6.

Таблица 6

Формирование оценки по итогам освоения дисциплины

Наименование контрольного мероприятия	Рейтинговые показатели				
	I аттестация	II аттестация	III аттестация	по результатам текущего контроля	по итогам промежуточной аттестации (зачета /экзамена)
Архитектура МПС	8			8	
Тест текущего контроля по разделу 2	8			8	
Подсистемы обработки и управления МПС		16		16	
Тест текущего контроля по разделу 3		10		10	
Защита лабораторных работ		6		6	
Подсистемы памяти и ввода-вывода МПС			26	26	

Тест текущего контроля по разделам 4-7			20	20	
Защита лабораторных работ			6	6	
Промежуточная аттестация (Экзамен):					50
– тест промежуточной аттестации по дисциплине					20
– ответы на контрольные вопросы в письменной форме по билетам					30

6. Типовые контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций в процессе освоения дисциплины

6.1 Оценочные средства для текущего контроля освоения разделов учебной дисциплины

6.1.1 Вопросы для самопроверки по всем разделам дисциплины

Раздел 2. АРХИТЕКТУРА МПС

1. Состав базовой МПС.
2. Шина данных, шина адреса, шина управления.
3. МПС с неймановской и гарвардской архитектурой.
4. МПС с трех- и двухшинной архитектурой.
5. Синонимы термина интерфейс в технической литературе.

Раздел 3. ОРГАНИЗАЦИЯ ПОДСИСТЕМЫ ОБРАБОТКИ И УПРАВЛЕНИЯ МПС

1. Обобщенная структура микропроцессора.
2. Типовые машинные циклы микропроцессора.
3. Суть работы стека при чтении и записи данных.
4. Использование кэш-памяти команд и данных.
5. Размещение и выборка информации из оперативной памяти.

Раздел 4. ОРГАНИЗАЦИЯ ПОДСИСТЕМЫ ПАМЯТИ МПС

1. Нарастивание памяти в системе.
2. Память с параллельным и последовательным типом интерфейса.

3. Форматы команд при различных операциях чтения, записи и стирания.
4. Какие операции могут выполняться одновременно при работе с Data-Flash.
5. Как запускается и прекращается страничная операция чтения (записи).

Раздел 5. ОРГАНИЗАЦИЯ ПОДСИСТЕМЫ ВВОДА-ВЫВОДА МПС

1. Способы ввода-вывода информации в МПС.
2. Простой ввод-вывод.
3. Ввод-вывод с квитированием по однонаправленному каналу.
4. Ввод-вывод с квитированием по двунаправленному каналу.
5. Режимы синхронного и асинхронного последовательного ввода-вывода.
5. Этапы обслуживания запроса внешнего маскируемого прерывания.
6. Приказы АКП, ОКП и СКП.
7. Работа ПКП с приоритетом ведомого.
8. Блок-схема действий контроллера ПДП.

Раздел 6. ОДНОКРИСТАЛЬНЫЕ МИКРОКОНТРОЛЛЕРЫ

1. Микроконтроллеры с архитектурой CISC.
2. Микроконтроллеры с архитектурой RISC.
3. Структура и интерфейс микроконтроллеров с ядром MCS-51.
4. Микроконтроллеры семейства AVR.
5. Таймеры микроконтроллеров.

Раздел 7. УСТРОЙСТВА СОПРЯЖЕНИЯ ДЛЯ МПС

1. Сравнение методов реализации функций устройств сопряжения (УС) с МПр.
2. Дополнительные меры при адресации портов УС.
3. Функции интерфейсной части УС. Назначение сигнала ВНЕ.
4. Схема SA.
5. Схема STR.

Раздел 8. МУЛЬТИМИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ

1. Сопроцессорная конфигурация.
2. Слабосвязанная конфигурация.
3. Режимы работы АВ и СВ.
4. Назначение сигналов IOB, RESB, SYSB/RESB, AEN в АВ.
5. Назначение сигналов IOB, CEN, AEN в АВ.
6. Назначение сигналов DEN, PDEN, DT/R в СВ.
7. Схемы параллельного и последовательного разрешения прприори-

гов.

Раздел 9. СРЕДСТВА РАЗРАБОТКИ И ОТЛАДКИ МПС

1. Внутрисхемные эмуляторы.

2. Симуляторы.
3. Отладочные мониторы.
4. Типичные функциональные модули средств разработки и отладки.
5. Что представляет собой эмулятор ПЗУ?

6.1.2. Контрольное задание первой аттестации

Построить принципиальную схему интерфейсной части устройства сопряжения (УС) с микропроцессором (МПр) при заданных количествах:

- разрядов в ШД МПр;
- разрядов в ШД УС;
- адресных входов в УС;
- дешифруемых разрядов в ША;

6.1.3. Контрольное задание второй аттестации

Построить принципиальную схему интерфейсной части устройства сопряжения (УС) с микропроцессором (МПр) со схемами размножения стробов чтения и записи при заданном способе использования сигнала ВНЕ и при заданных количествах:

- разрядов в ШД МПр;
- разрядов в ШД УС;
- адресных входов в УС;
- дешифруемых разрядов в ША;
- стробов чтения;
- стробов записи.

Для получения недостающих стробов чтения и записи использовать разряды байта, выводимого МПр на ШД при загрузке управляющего слова.

6.1.4. Контрольное задание третьей аттестации

Построить принципиальную схему интерфейсной части устройства сопряжения (УС) с микропроцессором (МПр) со схемами размножения стробов чтения и записи при заданном способе использования сигнала ВНЕ и при заданных количествах:

- разрядов в ШД МПр;
- разрядов в ШД УС;
- адресных входов в УС;
- дешифруемых разрядов в ША;
- стробов чтения;
- стробов записи

Для получения недостающих стробов чтения и записи использовать третью дополнительную меру.

6.2.Оценочные средства для промежуточной аттестации

6.2.1. Тестовые материалы для проведения промежуточной аттестации по итогам освоения дисциплины (тест ТПА-1)

ВАРИАНТ 1

1. Что определяет длительность цикла шины?

- 1) время исполнения одной команды центральным процессором,
2. время обмена одним байтом или словом между центральным процессором и Мем либо ИО?
- 3) время исполнения цепочки команд центральным процессором.

2. Какая функция не выполняется адаптером связи?

- 1) квитирование обменов,
- 2) синхронизация обменов,
- 3) выборка команд из памяти,
- 4) преобразование формата передаваемых данных из последовательного в параллельный.

3. Назначение шлюза задач в мультизадачных системах:

- 1) обращение к процедурам операционной системы,
- 2) переключение задач,
- 3) инициализация независимого процессора.

4. В чем главное преимущество микропроцессорной системы?

- 1) высокая гибкость,
- 2) низкая стоимость,
- 3) малое энергопотребление,
- 4) высокое быстродействие.

5. Процедура инициализации канала таймера включает загрузки:

- а) счетчика,
- б) регистра константы пересчета,
- в) выходного регистра-защелки,
- г) регистра управляющего слова,
- д) регистра состояния.

Выбрать одну из версий: 1) а,б; 2) б,в; 3) б,г; 4) в,г; 5) г,д.

6. Приказ специального конца прерывания вызывает в контроллере прерываний сброс соответствующего разряда регистра:

- 1) запросов прерываний;
- 2) масок прерываний;
- 3) рабочего управляющего слова;
- 4) управляющего слова инициализации;
- 5) обслуживаемых запросов.

7. Какая функция не выполняется интерфейсной частью устройства сопряжения с микропроцессором?

- 1) формирование стробов записи и чтения;
- 2) временное хранение данных;
- 3) селектирование адреса;
- 4) буферирование сигналов магистрали.

8. Чем определяется ограниченность возможностей цифрового видео-адаптера в сравнении с аналоговым?

- 1) малым размером символов в текстовом режиме;
- 2) малым количеством цветовых оттенков;
- 3) невозможностью изменять начертания символов, выводимых на экран.

9. Назовите функцию программного драйвера клавиатуры INT 16H:

- 1) преобразование вводимого из клавиатуры скэн-кода нажатой клавиши в код символа;
- 2) сброс буфера клавиатуры;
- 3) запись информации о нажатой клавише в регистры центрального процессора.

10. Для чего проводится кодирование информации в контроллерах дисковых накопителей?

- 1) для синхронизации данных при чтении;
- 2) для проведения контроля и коррекции данных при чтении;
- 3) для проведения предкомпенсации при записи.

ВАРИАНТ 2

1. Посредством какого сигнала обеспечивается требуемое время записи при перепрограммировании РПЗУ в составе микропроцессорной системы?

- 1) сигнала INTA;
- 2) сигнала HOLD;
- 3) сигнала READY.

2. В составе какой мультипроцессорной конфигурации работает арифметический сопроцессор 8087?

- 1) конфигурации с разделяемыми ресурсами;
- 2) сопроцессорной конфигурации;
- 3) конфигурации с независимым процессором.

3. Назначение шлюза вызова:

- 1) вызов процедур в более защищенном кольце;
- 2) переключение задач;
- 3) вызов сопроцессора.

4. Какой режим обмена предполагает отключение процессора?

- 1) процессор никогда не отключается;
- 2) обмен по прямому доступу к памяти;
- 3) программный обмен;
- 4) обмен по прерываниям.

5. Программный запуск повторного цикла счета в канале таймера осуществляется путем:

- 1) загрузки управляющего слова;
- 2) загрузки константы пересчета;
- 3) подачи сигнала GATE;
- 4) подачи импульса CLK
- 5) загрузки в регистр состояния.

6. По сигналу INTA2 (при запросе на i-ом входе) в контроллере прерываний выполняется (в режиме обычного конца прерывания):

- 1) сброс i-го разряда регистра запросов;
- 2) сброс i-го разряда регистра обслуживаемых запросов;
- 3) установка i-го разряда регистра запросов;
- 4) установка i-го разряда регистра обслуживаемых запросов;
- 5) выдача типа прерывания в микропроцессор.

7. Какой такт цикла СШ пропускается в режиме ПДП при сжатой синхронизации?

- 1) первый,
- 2) второй,
- 3) третий,
- 4) четвертый,
- 5) пятый.

8. Амплитудные параметры сигналов “0” и “1” соответственно во внешних последовательных интерфейсах компьютера:

- 1) 0 и +5в;
- 2) 0 и -12в;
- 3) +12в и -12в.

9. Устройство, имеющее высший приоритет на обслуживание при запросе на прерывание:

- 1) таймер,
- 2) контроллер гибкого диска,
- 3) контроллер клавиатуры.

10. Назначение D-триггера контроллера клавиатуры компьютера:

- 1) сброс регистра сдвига
- 2) формирование запроса прерывания,
- 3) формирование сигнала “Запрет клавиатуры”.

ВАРИАНТ 3

1. Непосредственная адресация – что это?

- 1) адрес в команде,
- 2) смещение в команде,
- 3) операнд в команде.

2. Назначение сигнала HOLD:

- 1) разрешение шины,
- 2) разрешение прерывания,
- 3) запрос шины.

3. Назначение уровней привилегий:

- 1) защита сегментов,
- 2) защита шлюзов вызова,
- 3) защита шлюзов задач.

4. Разрядность какой шины определяет быстродействие МПС?

- 1) шины адреса,
- 2) шины управления,
- 3) шины данных,
- 4) шины питания.

5. Аппаратный запуск повторного цикла счета в канале таймера осуществляется:

- 1) загрузкой управляющего слова,
- 2) загрузкой константы пересчета,
- 3) по сигналу GATE,
- 4) по импульсу CLK,
- 5) загрузкой регистра состояния.

6. По сигналу INTA2 (по запросу на i-ом входе) в ПКП в режиме АКП выполняются:

- а) сброс i-го разряда регистра запросов,
- б) установка i-го разряда регистра запросов,
- в) сброс i-го разряда регистра обслуживаемых запросов,
- г) установка i-го разряда регистра обслуживаемых запросов,

д) выдача типа прерывания в микропроцессор.

Выбрать одну из версий: 1) а,в; 2) а,г; 3) а,д; 4) в,д; 5) г,д.

7. Какой такт цикла СШ пропускается в режиме ПДП, если старший байт адреса ОП не меняется?

- 1) первый,
- 2) второй,
- 3) третий,
- 4) четвертый,
- 5) пятый.

8. Назначение передатчика в контроллерах внешнего последовательного интерфейса:

- 1) формирование амплитуды передаваемых сигналов,
- 2) кодирование передаваемой информации,
- 3) модулирование передаваемой информации.

9. В каком режиме должен работать канал таймера для организации режима регенерации памяти?

- 1) генератора импульсов,
- 2) ждущего мультивибратора,
- 3) прерывания по концу счета.

10. Какая функция не выполняется интерфейсной частью УС?

- 1) электрическая развязка сигналов,
- 2) ускорение выборки команд из памяти,
- 3) мультиплексирование сигналов на шину данных,
- 4) передача сигналов в нужном направлении.

ВАРИАНТ 4

1 . Исполнительный адрес – что это?

- 1) адрес внутри заданного сегмента,
- 2) физический адрес ячейки памяти,
- 3) смещение, задаваемое командой при косвенной адресации.

2. Назначение сигнала DEN:

- 1) строб адреса,
- 2) строб данных.
- 3) разрешение ввода-вывода.

3. Назначение байта доступа дескриптора:

- 1) определение типа дескриптора, помощь в реализации механизмов защиты и свопинга,
- 2) определение базового адреса сегмента,
- 3) определение типа используемой памяти.

4. Какая архитектура обеспечивает более высокое быстродействие?

- 1) принстонская,
- 2) быстродействие не зависит от архитектуры,
- 3) гарвардская,
- 4) фон-неймановская.

5. При загрузке в канал таймера, работающий в режиме с автозапуском, новой константы пересчета текущий цикл счета:

- 1) прерывается и начинается цикл счета с новой константой,
- 2) приостанавливается,
- 3) продолжается и по его окончании начинается цикл счета с новой константой,
- 4) продолжается до загрузки управляющего слова,
- 5) продолжается до загрузки в регистр состояния.

6. Какие загрузки являются общими в режимах синхронной и асинхронной последовательной передачи?

- а) во входной буфер,
- б) в регистр режима,
- в) в регистр команды,
- г) в RGCC1,
- д) в RGCC2.

Выбрать одну из версий: 1) а,б; 2) а,в; 3) а,г; 4) а,д; 5) б,в.

7. Сигнал готовности выходных данных в параллельном адаптере становится активным по сигналу:

- 1) чтения,
- 2) записи,
- 3) готовности входных данных,
- 4) запроса прерывания,
- 5) подтверждения выходных данных.

8. К какому типу внешнего интерфейса относится интерфейс клавиатуры?

- 1) стандартному параллельному,
- 2) стандартному последовательному,
- 3) специальному.

9. Первая команда, с которой начинает работать компьютер:

- 1) команда вызова подпрограммы,
- 2) команда сравнения,
- 3) команда безусловного перехода.

10. В каком режиме организована передача информации в локальных сетях?

- 1) асинхронной передачи,
- 2) синхронной передачи,
- 3) передачи по токовой петле.

ВАРИАНТ 5

1. Что является причиной появления в цикле шины тактов ожидания?

- 1) отсутствие в нужный момент времени сигнала READY,
- 2) поступление сигнала RESET,
- 3) пассивное состояние центрального процессора.

2. Применение регистра 8282:

- 1) для буферизации адреса,
- 2) для буферизации данных,
- 3) для буферизации команд.

3. Роль селектора при формировании физического адреса памяти в виртуальном режиме:

- 1) индексация одной из дескрипторных таблиц,
- 2) определение смещения,
- 3) выбор индексного регистра.

4. Структура какой шины влияет на разнообразие режимов обмена?

- 1) шины данных,
- 2) шины управления,
- 3) шины адреса,
- 4) шины питания.

5. При загрузке новой константы пересчета в режиме однократного выполнения цикла счета текущий цикл счета в канале таймера:

- 1) приостанавливается,
- 2) продолжается и по его окончании начинается цикл счета с новой константой,
- 3) продолжается до загрузки управляющего слова,
- 4) продолжается до загрузки в регистр состояния,
- 5) прерывается и начинается цикл счета с новой константой.

6. Бит готовности приемника последовательного адаптера устанавливается, если:

- 1) выходной буфер занят,
- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности приемника ВУ активен.

7. Запрос прерывания из параллельного адаптера сбрасывается и режиме вывода сигналом:

- 1) готовности выходных данных,
- 2) подтверждения выходных данных,
- 3) чтения,
- 4) записи,
- 5) готовности входных данных.

8. Что ограничивает длину линий связи внешнего параллельного интерфейса Centronics?

- 1) использование сигналов ТТЛ-уровней,
- 2) организация параллельной передачи информации,
- 3) частотные характеристики передаваемой информации.

9. Функция интерфейса 8255А при работе с клавиатурой:

- 1) ввод данных через порт А в режиме 0,
- 2) ввод данных через порт А в режиме 1,
- 3) вывод управляющих сигналов через порт С, запрещающих передачу данных из клавиатуры.

10. Какая информация хранится в видеопамати в графическом режиме?

- 1) координаты точки на экране,
- 2) код цвета точки,
- 3) тип точки (фоновая или основная).

ВАРИАНТ 6

1. Последствия системного сброса:

- 1) блокировка,
- 2) останов,
- 3) реинициализация.

2. Назначение сигнала INTA:

- 1) запрос прерывания,
- 2) разрешение прерывания,
- 3) вектор прерывания.

3. Каким образом реализуются межпроцессорные взаимодействия в конфигурации с независимым процессором?

- 1) путем контроля вектора состояния,
- 2) через разделяемую область системной памяти,
- 3) путем контроля очереди команд.

4. Какой тип обмена обеспечивает гарантированную передачу информации любому исполнителю?

- 1) нельзя сказать однозначно,
- 2) синхронный,
- 3) асинхронный.

5. При загрузке в канал таймера, работающий в режиме с перезапуском, новой константы пересчета текущий цикл счета:

- 1) приостанавливается,
- 2) прерывается и начинается цикл счета с новой константой,
- 3) продолжается до загрузки в регистр состояния,
- 4) продолжается и по его окончании начинается цикл счета с новой константой.

6. Бит готовности приемника последовательного адаптера сбрасывается, если:

- 1) выходной буфер занят,

- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности передатчика ВУ активен.

7. Запрос прерывания из параллельного адаптера сбрасывается в режиме ввода информации сигналом:

- 1) чтения,
- 2) записи,
- 3) готовности входных данных,
- 4) подтверждения входных данных,
- 5) готовности выходных данных.

8. По какому способу передачи информации организован интерфейс связи контроллера с дисковым накопителем?

- 1) параллельному
- 2) последовательному,
- 3) параллельно-последовательному.

9. Какой буфер памяти компьютера программно недоступен пользователю?

- 1) буфер клавиатуры,
- 2) буфер экрана,
- 3) буфер сектора.

10. Информация в каком узле видеоадаптера CGA определяет цвет символов в текстовом режиме?

- 1) в видеопамяти,
- 2) в регистре палитры,
- 3) в знакогенераторе.

ВАРИАНТ 7

1. От какого устройства непосредственно поступает сигнал READY в центральный процессор?

- 1) от устройства памяти,
- 2) от внешнего устройства
- 3) от генератора тактовых импульсов

2. Применение приемо-передатчика 8288:

- 1) для буферизации адреса,
- 2) для буферизации данных,
- 3) для буферизации вектора состояния центрального процессора.

3. Для чего сопроцессору надо отслеживать очередь команд центрального процессора?

- 1) чтобы установить момент чтения команды из памяти,
- 2) чтобы контролировать состояние центрального процессора,
- 3) для самоинициализации.

4. Какой тип обмена обеспечивает более высокую скорость передачи информации?

- 1) синхронный,
- 2) нельзя сказать однозначно,
- 3) асинхронный.

5. При выполнении процедуры прерывания в стековой памяти запоминается аппаратным способом содержимое регистров:

- а) флагов F,
- б) адреса кодового сегмента CS,
- в) указателя команд IP,
- г) аккумулятора AX,
- д) базового регистра BX.

Выбрать одну из версий: 1) а,б,в; 2) а,б,г; 3) а,б,д; 4) б,в,г; 5) в,г,д.

6. Бит готовности передатчика последовательного адаптера устанавливается, если:

- 1) выходной буфер занят,
- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности передатчика ВУ активен.

7. Сигнал подтверждения входных данных в параллельном адаптере устанавливается по сигналу:

- 1) чтения,
- 2) записи,
- 3) готовности входных данных,
- 4) запроса прерывания,
- 5) готовности выходных данных.

8. Какую отличительную особенность имеет системный интерфейс с асинхронным протоколом связи?

- 1) наличие линии для сигнала "Регенерация",
- 2) наличие линии для сигнала "Подтверждение передачи",
- 3) наличие линии для сигнала "Занятость магистрали" /

9. Какая функция выполняется интерфейсной частью УС?

- 1) ускорение выборки команд из памяти,
- 2) формирование стробов записи,
- 3) хранение кода адреса.

10. Какой объем видеопамати требуется для вывода на экран текстовой информации размерами 80 на 25?

- 1) 2 Кб,
- 2) 4 Кб,
- 3) 8 Кб.

ВАРИАНТ 8

1. Назначение сигнала ALE:

- 1) строб адреса
- 2) строб данных,
- 3) разрешение прерывания.

2. Назначение контроллера системной шины:

- 1) управление работой центрального процессора,
- 2) управление работой МПС и целом,
- 3) управление работой памяти.

3. Понятие теневого регистра:

- 1) сегментный регистр,
- 2) регистр дескриптора сегмента,
- 3) регистр задачи.

4. Какая структура шин адреса и данных обеспечивает большее быстродействие?

- 1) немультимплексированная,
- 2) двунаправленная,
- 3) мультимплексированная,
- 4) быстродействие от типа структуры не зависит.

5. Приказ АКП вызывает в контроллере прерываний сброс соответствующего разряда регистра:

- 1) запросов прерываний,
- 2) масок прерываний,
- 3) управляющего слова инициализации,
- 4) обслуживаемых запросов,
- 5) рабочего управляющего слова.

6. Бит готовности передатчика последовательного адаптера сбрасывается, если:

- 1) выходной буфер занят,
- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности передатчика ВУ активен.

7. Сигнал подтверждения входных данных и параллельном адаптере сбрасывается по сигналу:

- 1) чтения,
- 2) записи
- 3) готовности входных данных,
- 4) запроса прерывания,
- 5) готовности выходных данных.

8. Какая функция выполняется интерфейсной частью УС:

- 1) дешифрация адреса
- 2) выделение адресов памяти начальной загрузки,
- 3) хранение кода адреса,
- 4) обслуживание стека.

9. На микросхемах какого типа строится кэш-память компьютера?

- 1) динамического,
- 2) статического,
- 3) постоянная (ROM).

10. Как организована в контроллере принтера передача и принтер управляющих команд?

- 1) через регистр управления,
- 2) через регистр выходных данных,
- 3) через устройство управления контроллером.

ВАРИАНТ 9

1. Назначение очереди команд центрального процессора:

- 1) ускорение процесса формирования адреса,
- 2) повышение производительности операционного устройства,
- 3) совмещение во времени процессов выборки и исполнения команд.

2) Отличительная особенность микросхем динамической памяти:

- 1) специальная организация выхода,
- 2) мультиплексирование адресов и регенерация,
- 3) страничная организация.

3. Резидентная шина – что это?

- 1) локальная шина процессорного модуля,
- 2) специальная шина, ориентированная на подключение памяти резидентных программ,
- 3) специальная шина, ориентированная на подключение только специальных устройств.

4. Для чего служит регистр признаков?

- 1) для хранения кодов специальных команд,
- 2) для хранения кода адреса,
- 3) для хранения флагов результата выполненной операции,
- 4) для обслуживания стека.

5. По сигналу INTA1 (подтверждение прерывания по запросу на i-ом входе) в ПКП выполняются:

- а) сброс i-го разряда регистра запросов,
- б) сброс i-го разряда регистра обслуживаемых запросов,
- в) установка i-го разряда регистра запросов,
- г) установка i-го разряда регистра обслуживаемых запросов,
- д) выдача типа прерывания в микропроцессор.

Выбрать одну из версий: 1) а,б; 2) б,в; 3) а,д; 4) а,г; 5) г,д.

6. Какие загрузки являются общими для режимов асинхронного и синхронного приема и последовательном адаптере?

- а) в выходной буфер,

- 2) в регистр режима,
- 3) в регистр символа синхронизации 1,
- 4) в регистр символа синхронизации 2,
- 5) в регистр команды.

Выбрать одну из версий: 1) а,б; 2) б,в; 3) б,г; 4) б,д; 5) а,д.

7. В режиме ввода через параллельный адаптер используются сигналы:

- а) готовности входных данных,
- б) подтверждения входных данных,
- в) запроса прерывания,
- г) записи,
- д) чтения,
- е) подтверждения выходных данных.

Выбрать одну из версий: 1) а,б,в,г; 2) а,б,в,д; 3) а,б,в,е; 4) б,в,д,е; 5) б,в,г,е.

8. Линии сигналов, которых нет в интерфейсе связи видеоадаптера с монитором:

- 1) линии сигналов цветов (R,G,B);
- 2) линии сигналов кода символа;
- 3) линии сигналов синхронизации.

9. Какая информация поступает в буфер клавиатуры компьютера при нажатии на функциональную клавишу?

- 1) скэн-код клавиши;
- 2) 0 и скэн-код клавиши;
- 3) код функции нажатой клавиши.

10. Какая функция выполняется интерфейсной частью УС?

- 1) хранение кодов специальных команд;
- 2) хранение флагов результатов выполнения операций;
- 3) буферирование сигналов системной шины;
- 4) ускорение выполнения логических операций.

ВАРИАНТ 10

1. Что оказывает большее влияние на производительность МПС?

- 1) коэффициент использования процессорного времени;
- 2) плотность загрузки системной шины;
- 3) организация интерфейса памяти.

2. Понятие прозрачной регенерации для динамической памяти:

- 1) формирование запроса на регенерацию при отсутствии обращения к памяти;
- 2) непрерывная регенерация;
- 3) распределенная регенерация.

3. Назначение арбитра шины 8289:

- 1) выработка необходимых для работы МПС командных и управляющих сигналов;
- 2) управление работой внешних устройств;
- 3) захват и освобождение шины в зависимости от системной ситуации.

4. Какова функция конвейера?

- 1) ускорение выборки команд;
- 2) увеличение объема системной памяти команд;
- 3) ускорение выполнения логических операций;
- 4) распараллеливание выполнения арифметических операций.

5. Приказ ОКП вызывает в ПКП сброс соответствующего разряда регистра:

- 1) запроса прерываний;
- 2) обслуживаемых запросов;
- 3) маски прерываний;
- 4) рабочего управляющего слова;
- 5) управляющего слова инициализации.

6. Сигнал блокировки системной шины LOCK не активен:

- а) в циклах формирования INTA1 и INTA2;
- б) в циклах чтения-записи слова по четному адресу;
- в) при выполнении команд с префиксом LOCK;
- г) в циклах чтения-записи слова по нечетному адресу;
- д) при выполнении команд, не требующих цикла шины.

Выбрать одну из версий: 1) а,г; 2) а,в; 3) в,г; 4) б,д; 5) б,г;

7. В режиме вывода информации через параллельный адаптер используются сигналы:

- а) готовности выходных данных;
- б) подтверждения выходных данных;
- в) запроса прерывания;
- г) записи;
- д) чтения;
- е) подтверждения входных данных.

Выбрать одну из версий: 1) а,б,в,г; 2) а,б,в,д; 3) а,б,в,е; 4) б,в,г,е; 5) б,в,г,е.

8. Можно ли организовать прием данных компьютером по внешнему интерфейсу Centronics&

- 1) можно по линии “Данные” (8 бит);
- 2) можно по линиям “Состояние” (5 бит);
- 3) нельзя.

9. Какой тип ОП является двухпортовым, позволяющим одновременно обращаться к памяти двум устройствам?

- 1) память для операционной системы;
- 2) видеопамять;
- 3) постоянная память.

10. С каким монитором работает видеоадаптер VGA?

- 1) монохромным;
- 2) цифровым;
- 3) аналоговым.

гам курсовой работы (тест ТПА-2)

1. Процедура инициализации канала таймера включает загрузки:

- а) счетчика,
- б) регистра константы пересчета,
- в) выходного регистра-защелки,
- г) регистра управляющего слова,
- д) регистра состояния.

Выбрать одну из версий: 1) а,б; 2) б,в; 3) б,г; 4) в,г; 5) г,д.

2. По сигналу INTA2 (при запросе на i-ом входе) в контроллере прерываний выполняется (в режиме обычного конца прерывания):

- 1) сброс i-го разряда регистра запросов;
- 2) сброс i-го разряда регистра обслуживаемых запросов;
- 3) установка i-го разряда регистра запросов;
- 4) установка i-го разряда регистра обслуживаемых запросов;
- 5) выдача типа прерывания в микропроцессор.

3. Какие загрузки являются общими в режимах синхронной и асинхронной последовательной передачи?

- а) во входной буфер,
- б) в регистр режима,
- в) в регистр команды,
- г) в RGCC1,
- д) в RGCC2.

Выбрать одну из версий: 1) а,б; 2) а,в; 3) а,г; 4) а,д; 5) б,в.

4. Сигнал готовности выходных данных в параллельном адаптере становится активным по сигналу:

- 1) чтения,
- 2) записи,
- 3) готовности входных данных,
- 4) запроса прерывания,
- 5) подтверждения выходных данных.

5. Бит готовности приемника последовательного адаптера устанавливается, если:

- 1) выходной буфер занят,
- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности приемника ВУ активен.

6. Запрос прерывания из параллельного адаптера сбрасывается и режиме вывода сигналом:

- 1) готовности выходных данных,
- 2) подтверждения выходных данных,
- 3) чтения,
- 4) записи,
- 5) готовности входных данных.

7. Бит готовности приемника последовательного адаптера сбрасывает-

ся, если:

- 1) выходной буфер занят,
- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности передатчика ВУ активен.

8. Бит готовности передатчика последовательного адаптера устанавливается, если:

- 1) выходной буфер занят,
- 2) выходной буфер свободен,
- 3) входной буфер занят,
- 4) входной буфер свободен,
- 5) сигнал готовности передатчика ВУ активен.

9. Сигнал подтверждения входных данных в параллельном адаптере устанавливается по сигналу:

- 1) чтения,
- 2) записи,
- 3) готовности входных данных,
- 4) запроса прерывания,
- 5) готовности выходных данных.

10. Сигнал блокировки системной шины LOCK не активен:

- а) в циклах формирования INTA1 и INTA2;
- б) в циклах чтения-записи слова по четному адресу;
- в) при выполнении команд с префиксом LOCK;
- г) в циклах чтения-записи слова по нечетному адресу;
- д) при выполнении команд, не требующих цикла шины.

Выбрать одну из версий: 1) а,г; 2) а,в; 3) в,г; 4) б,д; 5) б,г;

6.2.3. Список вопросов на экзамене

1. Структурная схема микропроцессорной системы (МПС).
2. Структура микропроцессора (МПр). Назначение внутренних регистров МПр.
3. Использование кэш-памяти команд и данных.
4. Размещение и выборка информации из ОП.
5. Форматы команд и способы адресации.
6. Пример модуля оперативного запоминающего устройства.
7. Пример модуля постоянного запоминающего устройства.
8. Организация цикла системной шины при вводе из ОП или ВУ.
9. Организация цикла системной шин при выводе в ОП или ВУ.
10. Организация цикла подтверждения прерывания.
11. Способы ввода-вывода информации в МПС.
12. Пример программы полинга для РИТ в режиме прерывания по концу счета.
13. Пример программы полинга для параллельного адаптера.
14. Пример программы полинга для последовательного адаптера.
15. Режимы работы РИТ с перезапуском. Использование флага обновления.
16. Режимы однократного выполнения цикла счета в РИТ.
17. Режимы работы РИТ с автозапуском.
18. Формирование сигналов квитирования в параллельном адаптере.
19. Правила установки/сброса бита INTR в канале А параллельного адаптера.
20. Ввод пао каналу В в режиме 1. Временная диаграмма и пример программы

инициализации.

21. Вывод по каналу А в режиме 2. Временная диаграмма и пример программы инициализации.

22. Режим синхронного приема с внешней синхронизацией в последовательном адаптере.

23. Режим синхронного приема с внутренней синхронизацией в последовательном адаптере.

24. Режим асинхронного приема в последовательном адаптере.

25. Режим асинхронной передачи в последовательном адаптере.

26. Режим синхронной передачи в последовательном адаптере.

27. Этапы обслуживания запроса внешнего маскируемого прерывания. Приказы АКП, ОКП и СКП.

28. Работа ПКП с приоритетом ведомого.

29. Пример программы загрузки в регистры управляющих слов инициализации ПКП.

30. Пример программы загрузки в регистры рабочих управляющих слов ПКП.

31. Режимы полинга и спецмаскирования в ПКП.

32. Установка различных режимов присвоения приоритетов ВУ в ПКП.

33. Блок-схема действий контроллера ПДП.

34. Назначение сигналов ТС в контроллере ПДП.

35. Назначение сигналов AEN и ADSTB в контроллере ПДП.

36. Базовая структура однокристальных микроконтроллеров (МК).

37. Сравнение методов реализации функций устройств сопряжения с МПр (УС).

38. Дополнительные меры при адресации портов PIT.

39. Дополнительные меры при адресации портов параллельного адаптера.

40. Дополнительные меры при адресации портов последовательного адаптера.

41. Дополнительные меры при адресации портов ПКП.

42. Дополнительные меры при адресации портов контроллера ПДП.

43. Функции интерфейсной части УС. Назначение сигнала ВНЕ.

44. Схема селектора адреса для $n = 5$.

45. Схема селектора адреса для $n = 1$.

46. Схема селектора адреса для $n = 2$.

47. Схема селектора адреса для $n = 3$.

48. Схема селектора адреса для $n = 4$.

49. Схема чтения из OL одноканального PIT.

50. Схема загрузки в CR одноканального PIT.

51. Схема STR для $n=2$, четырех стробов чтения и пяти стробов записи.

52. Схема STR для $n=1$, двух стробов чтения и четырех стробов записи.

53. Сопроцессорная конфигурация.

54. Слабосвязанная конфигурация.

55. Режимы работы АВ и СВ.

56. Назначение сигналов IOB, RESB, SYSB/RESB, AEN в АВ.

57. Назначение сигналов IOB, CEN, AEN в АВ.

58. Назначение сигналов DEN, PDEN, DT/R в СВ.

59. Схемы параллельного и последовательного разрешения приоритетов.

60. Схема циклического разрешения приоритетов.

Лист регистрации изменений и дополнений

№ п/п	№ страницы внесения изменений	Дата внесения изменения	Краткое содержание изменений (основание)	Ф.И.О., подпись	«Согласовано» заведующий кафедрой, ведущей дисциплину