

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«КАЗАНСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ТЕХНИЧЕСКИЙ  
УНИВЕРСИТЕТ им. А.Н. ТУПОЛЕВА-КАИ»

Институт (факультет) Институт компьютерных технологий и защиты информации  
Кафедра Компьютерных систем

УТВЕРЖДАЮ

Ответственный за ОП

Верш И.С.Вершинин  
«31» 08 2017 г.

Регистрационный № 4010-14/5-  
066

**ФОНД ОЦЕНОЧНЫХ СРЕДСТВ**  
для проведения промежуточной аттестации обучающихся по дисциплине

**Схемотехника ЭВМ**  
(наименование дисциплины, практики)

Индекс по учебному плану: Б1.В.ДВ.06.01

Направление: 09.03.01 «Информатика и вычислительная техника»

Квалификация: бакалавр

Профиль подготовки: «Вычислительные машины, комплексы, системы и сети»

Виды профессиональной деятельности: Научно-исследовательская, проектная,  
эксплуатационная

Форма обучения: Очная

Заведующий кафедрой КС И.С. Вершинин

Разработчик: профессор кафедры КС, д.ф.-м.н., профессор В.А. Райхлин

Казань 2017 г.

Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине  
(модулю)

**Схемотехника ЭВМ**  
(наименование дисциплины)

Содержание фонда оценочных средств (ФОС) соответствует требованиям федерального государственного стандарта высшего образования (ФГОС ВО) по направлению 09.03.01 «Информатика и вычислительная техника», учебному плану направления 09.03.01 «Информатика и вычислительная техника».

Разработанные ФОС обладают необходимой полнотой и являются актуальными для оценки компетенций, осваиваемых обучающимися при изучении дисциплины «Схемотехника ЭВМ». Разработанные ФОС полностью соответствуют задачам будущей профессиональной деятельности обучающихся, установленных ФГОС ВО по направлению 09.03.01 «Информатика и вычислительная техника». В составе ФОС присутствуют оценочные средства в виде тестовых заданий и контрольных вопросов различного уровня сложности, которые позволяют провести оценку порогового, продвинутого и превосходного уровней освоения компетенций по дисциплине.

ФОС обладают необходимой степенью приближенности к задачам будущей профессиональной деятельности обучающихся, связанным со способностью проводить научные исследования, выполнять проектирование и эксплуатацию в области схемотехники ЭВМ.

Существенные недостатки отсутствуют.

Закключение. Учебно-методическая комиссия делает вывод о том, что представленные материалы соответствуют требованиям ФГОС ВО по направлению 09.03.01 «Информатика и вычислительная техника», и рекомендует их для использования в учебном процессе.

Рассмотрено на заседании учебно-методической комиссии института КТЗИ от 31 августа 2017 г., протокол №.8

Председатель УМК института КТЗИ



В.В. Родионов

## Введение

Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине «Схемотехника ЭВМ» – это комплект методических и контрольно-измерительных материалов, предназначенных для определения уровня сформированности компетенций, оценивания знаний, умений, владений на разных этапах освоения дисциплины для проведения промежуточной аттестации обучающихся по дисциплине.

ФОС ПА является составной частью учебного и методического обеспечения программы бакалавриата по направлению 09.03.01 «Информатика и вычислительная техника».

Задачи ФОС по дисциплине «Схемотехника ЭВМ»:

– оценка запланированных результатов освоения дисциплины обучающимися в процессе изучения дисциплины, в соответствии с разработанными и принятыми критериями по каждому виду контроля;

– контроль и управление процессом приобретения обучающимися необходимых знаний, умений, навыков и формирования компетенций, определенных в ФГОС ВО по направлению подготовки

ФОС ПА по дисциплине «Схемотехника ЭВМ» сформирован на основе следующих основных принципов оценивания:

– пригодности (валидности) (объекты оценки соответствуют поставленным целям обучения);

– надежности (использования единообразных стандартов и критериев для оценивания запланированных результатов);

– эффективности (соответствия результатов деятельности поставленным задачам).

ФОС ПА по дисциплине «Схемотехника ЭВМ» разработан в соответствии с требованиями ФГОС ВО по направлению 09.03.01 «Информатика и вычислительная техника» для аттестации обучающихся на соответствие их персональных достижений требованиям поэтапного формирования соответствующих составляющих компетенций и включает контрольные вопросы (или тесты) и типовые задания, необходимые для оценки знаний, умений и навыков, характеризующих этапы формирования компетенций.

### 1. Формы промежуточной аттестации по дисциплине

Дисциплина «Схемотехника ЭВМ» изучается в 6 семестре при очной форме обучения и завершается промежуточной аттестацией в форме экзамена.

### 2. Оценочные средства для промежуточной аттестации

Оценочные средства для промежуточной аттестации по дисциплине «Схемотехника ЭВМ» при очной форме обучения.

Таблица 1. Оценочные средств для промежуточной аттестации (очная форма обучения)

№ п/п	Семестр	Форма промежуточной аттестации	Оценочные средства
1	6	Экзамен	ФОС ПА
2	6	Защита курсовой работы (зачет с оценкой)	ФОС КР

### 3. Перечень компетенций с указанием этапов их формирования в процессе освоения дисциплины

Перечень компетенций и их составляющих, которые должны быть сформированы при изучении темы соответствующего раздела дисциплины «Схемотехника ЭВМ», представлен в таблице 2.

Таблица 2. Перечень компетенций и этапы их формирования в процессе освоения дисциплины

№ п/п	Этап формирования (семестр)	Наименование раздела	Код формируемой компетенции (составляющей компетенции)		Форма промежуточной аттестации
1	6	Цифровые функциональные узлы	ПК-3	ПК-3.З ПК-3.У ПК-3.В	Экзамен
2	6	Проектирование цифровых схем	ПК-3	ПК-3.З ПК-3.У ПК-3.В	Экзамен
3	6	Модульная реализация цифровых схем	ПК-3	ПК-3.З ПК-3.У ПК-3.В	Экзамен

4	6	Курсовая работа	ПК-3	ПК-3.3 ПК-3.У ПК-3.В	Зачет с оценкой
---	---	-----------------	------	----------------------------	-----------------

#### 4. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описания шкалы оценивания

Показатели и критерии оценивания сформированности компетенций на экзамене, приведены в таблице 3.

Таблица 3. Показатели и критерии оценивания сформированности компетенций на экзамене

№ п/п	Этап формирования (семестр)	Код формируемой компетенции (составляющей компетенции)		Критерии оценивания	Показатели оценивания (планируемые результаты обучения)		
					Пороговый уровень	Продвинутый уровень	Превосходный уровень
1.	6	ПК-3	ПК-3.3 ПК-3.У	Теоретические навыки	Знание принципов проектирования цифровых схем в интегральном базисе, организации и использования в ЭВМ микросхем операционных узлов, микропроцессорных комплектов БИС и микросхем памяти. Умение анализировать переходные процессы в комбинационных схемах	Пороговый + знание методов анализа переходных процессов в цифровых схемах, исключения составлений и борьбы с помехами в цепях питания и линиях связи Пороговый + умение анализировать переходные процессы в последовательностных схемах	Продвинутый + знание методов модульной реализации цифровых схем. Продвинутый + умение исключать риски сбоя
2.	6	ПК-3	ПК-3.В	Практические навыки	Владение навыками синтеза автоматов по неформальному заданию и проектир. цифровых схем с исключением составлений	Пороговый + владение навыками анализа переходных процессов в цифровых схемах.	Продвинутый + владение методами модульной реализации цифровых схем.

Формирование оценки при промежуточной аттестации по итогам освоения дисциплины зависит от уровня освоения компетенций, которые обучающийся должен освоить по данной дисциплине. Связь между итоговой оценкой и уровнем освоения компетенций (шкала оценивания) представлена в таблице 4.

Таблица 4. Описание шкалы оценивания

Шкала оценивания		Описание оценки в требованиях к уровню и объему компетенций
Словесное выражение	Выражение в баллах	
Отлично	от 86 до 100	Освоен <b>превосходный</b> уровень всех компетенций (составляющих компетенций)
Хорошо	от 71 до 85	Освоен <b>продвинутый</b> уровень всех компетенций (составляющих компетенций)
Удовлетворительно	от 51 до 70	Освоен <b>пороговый</b> уровень всех компетенций (составляющих компетенций)
Неудовлетворительно	до 51	Не освоен <b>пороговый</b> уровень всех компетенций (составляющих компетенций)

#### 5. Методические материалы, определяющие процедуру оценивания знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций

Формирование оценки по результатам текущего контроля успеваемости и промежуточной аттестации по итогам освоения дисциплины «Параллельные вычисления» приведено в табл. 5.

Таблица 5. Формирование оценки по итогам освоения дисциплины

Наименование контрольного мероприятия	I аттестация	II аттестация	по результатам текущего контроля	по итогам промежуточной аттестации (зачета / экзамена)
<b>⅓ (ФОС ТК-1 + ФОС ТК-2)</b>	<b>35</b>		<b>35</b>	
Тест текущего контроля по ⅓ разделов 1 и 2	5		5	
Активность работы на лекциях по разделу 2	14		14	
Активность работы на ½ практик по разделу 1	8		8	
Защита лабораторных работ по разделу 1	8		8	
<b>⅓ (ФОС ТК-1 + ФОС ТК-2) + ФОС ТК-3</b>		<b>35</b>	<b>35</b>	
Тест текущего контроля по ⅓ разделов 1-2 и по разделу 3		5	5	

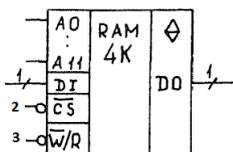
Активность работы на лекциях по разделу 3		10	10	
Активность работы на ½ практик по разделу 1		10	10	
Защита лабораторных работ по разделу 2		10	10	
<b>ФОС ПА (Экзамен):</b>				<b>30</b>
– ответы на контрольные вопросы в письменной форме по билетам				30
<b>ФОС КР-1</b>	<b>25</b>		<b>25</b>	
Регулярность и качество выполнения этапов курсовой работы	25		25	
<b>ФОС КР-2</b>		<b>25</b>	<b>25</b>	
Регулярность и качество выполнения этапов курсовой работы		25	25	
<b>ФОС КР</b>				<b>50</b>
Защита курсовой работы				50

## 6. Контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций в процессе освоения дисциплины

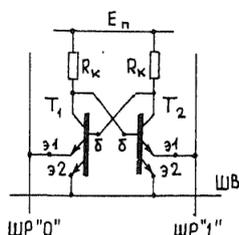
### 6.1. Тестовые задания

#### Задания на тестирование 1

- Цифровой автомат – это ...?
  - Последовательностная схема.
  - Схема с памятью.
  - Таблица переходов.
- Заполнение клетки таблицы переходов автомата Мили ...?
  - $\langle x^k, z^k \rangle$ .
  - $\langle s^k, z^k \rangle$ .
  - $\langle s^{k-1}, s^k \rangle$ .
- Асинхронный автомат ...?
  - Переход в каждом такте завершает устойчивым состоянием.
  - Неизменность входа в соседних тактах ассоциирует с продолжением такта.
  - Допускает реализацию синхронной схемой.
  - Допускает реализацию асинхронной схемой.
- Синхронный автомат ...?
  - Допускает повторение входа в соседних тактах без сохранения значения выхода.
  - Неизменность входа в соседних тактах ассоциирует с продолжением такта.
  - Допускает реализацию асинхронной схемой.
  - Не допускает реализацию асинхронной схемой.
- В процессе синтеза автомата по неформальному заданию выполняется ...?
  - Спецификация состояний.
  - Разметка состояний.
  - Конвертирование состояний.
  - Испытание состояний.
- Если неизменность входа устройства сохраняет выход, то ...?
  - Разрешен только асинхронный вариант таблицы переходов.
  - Разрешен только синхронный вариант.
  - Разрешены оба варианта.
- ROM это ...?
  - Статическое ОЗУ.
  - Масочное ПЗУ.
  - Регистровое ОЗУ.
  - Репрограммируемое ПЗУ.
- Для записи информации в микросхему K541PY1 по заданному адресу необходимо ...?
  - На второй вывод подать «0», на третий вывод подать «0».
  - На второй вывод подать «0», на третий вывод подать «1».
  - На второй вывод подать «1», на третий вывод подать «0».
  - На второй вывод подать «1», на третий вывод подать «1».

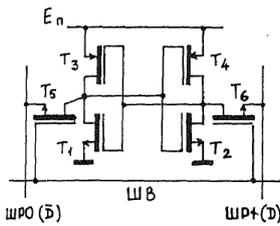


- На рисунке изображен элемент памяти статического ОЗУ ТТЛ. Исходное состояние триггера: триод Т1 насыщен, Т2 закрыт, что отвечает хранению единицы. Для установки триггер в нуль необходимо, чтобы ...?



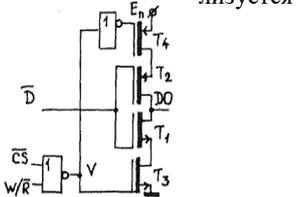
- $U_{шв} > U_{шр1}(U_{шр0}), U_{шр1} < U_{шр0}$ .
- $U_{шв} > U_{шр1}(U_{шр0}), U_{шр1} > U_{шр0}$ .
- $U_{шв} < U_{шр1}(U_{шр0}), U_{шр1} > U_{шр0}$ .
- $U_{шв} < U_{шр1}(U_{шр0}), U_{шр1} < U_{шр0}$ .

10. На рис. изображен элемент памяти статического ОЗУ КМОП. Исходное состояние триггера: триоды Т1 и Т4 открыты, Т2 и Т3 закрыты, что отвечает хранению единицы. Для установки триггер в нуль необходимо, чтобы ...?

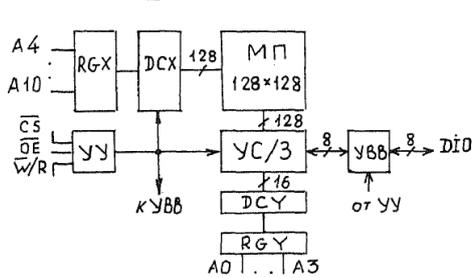


- A. Ушв – ВП; Ушр0 – ВП; Ушр1 – НП
- B. Ушв – НП; Ушр0 – НП; Ушр1 – ВП
- C. Ушв – ВП; Ушр0 – ВП; Ушр1 – ВП
- D. Ушв – НП; Ушр0 – ВП; Ушр1 – НП

11. На рисунке показан один канал устройства ввода/вывода микросхемы К561РУ2. Третье состояние на выходе DO реализуется в случае, когда ...?



- A. Т3 - закрыт, Т4 - закрыт.
- B. Т3 - открыт, Т4 - открыт.
- C. Т3 - открыт, Т4 - закрыт.
- D. Т3 - закрыт, Т4 - открыт.



12. На рисунке показана структурная схема микросхемы К537РУ8. Почему дешифратор DCY имеет 16 выходов?

- A. Матрица памяти разбита на 8 секций по 128x16 элементов памяти.
- B. Матрица памяти разбита на 64 секций по 16x16 элементов памяти.
- C. Матрица памяти разбита на 32 секций по 32x16 элементов памяти.
- D. Матрица памяти разбита на 16 секций по 64x16 элементов памяти.

13. В основе работы динамической памяти лежит принцип хранения информации ...?

- A. На триггере
- B. В регистре
- C. На емкости
- D. В RC-цепочке
- E. В RL-цепочке

14. Требуется ли периодическая регенерация хранимых данных в статическом ОЗУ?

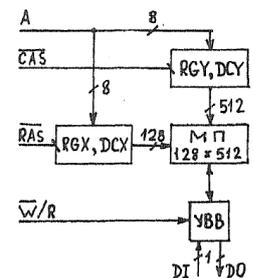
- A. Да;
- B. Нет.

15. По сравнению со статическими в динамических ОЗУ ...?

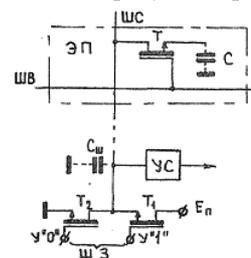
- A. Снижено энергопотребление и упрощена схема ЭП
- B. Повышено энергопотребление и упрощена схема ЭП
- C. Снижено энергопотребление и усложнена схема ЭП
- D. Повышено энергопотребление и усложнена схема ЭП

16. На рисунке представлена упрощенная структура кристалла К565РУ5. Где происходит дешифрация разряда А7, сохраненного в RGX?

- A. В RGY.
- B. В DCX.
- C. В DCY.
- D. В МП.
- E. В УВВ.



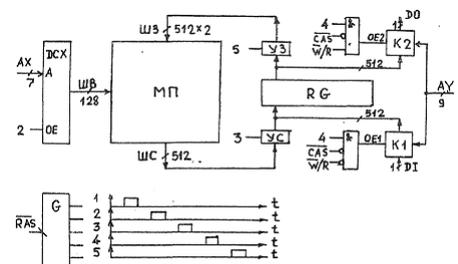
17. Схема ЭП микросхемы К565РУ5 вместе с фрагментами цепей считывания и записи показана на рисунке. При записи нуля ...?



- A. Оба конденсатора С, Сш разряжаются.
- B. Оба конденсатора С, Сш заряжаются.
- C. Конденсатор С заряжается, Сш разряжается.
- D. Конденсатор С разряжается, Сш заряжается.

18. На рисунке представлена организация микросхемы К565РУ5. По срезу RAS вырабатывается серия из 5 строб-импульсов. Что происходит по 1-стробу?

- A. Формирование ВП на линии У«1» для заряда емкости Сш
- B. Формирование ВП на линии У«1» для разряда емкости Сш
- C. Разрешение подачи ВП на одну из ШВ

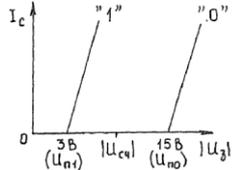
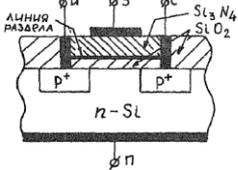


- D. Запрещение подачи ВП на одну из ШВ.
- E. Стробирование УС для поразрядной записи в RG выбранной из МП строки.
- E. Стробирование УС для поразрядн. записи в RG выбранного из МП столбца

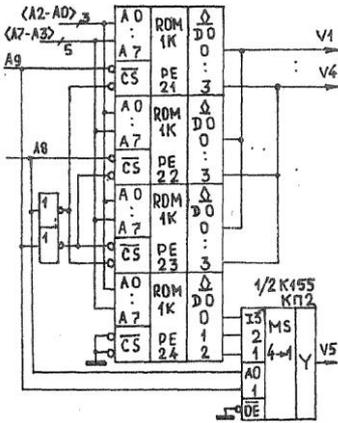
19. В масочных ПЗУ программирование осуществляется ...?

- A. Созданием нужных перемычек на кристалле.
- B. Пережиганием перемычек на кристалле.
- C. Ультрафиолетовым стиранием.

20. На рисунке показан элемент памяти со структурой МНОП. Если на затвор относительно подложки подать положительный импульс амплитудой 30...40В, то передаточная характеристика транзистора сместится ...?



- A. Влево
- B. Вправо

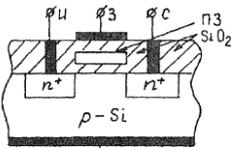


21. На рисунке показана реализация генератора символов на 96 знаков формата 7x5 точек с применением микросхем K155PE21-24. Какой из ROMов (кроме PE24) будет активен, если на A8 подать «1», а на A9 подать «0»?

- A. PE21
- B. PE22
- C. PE23

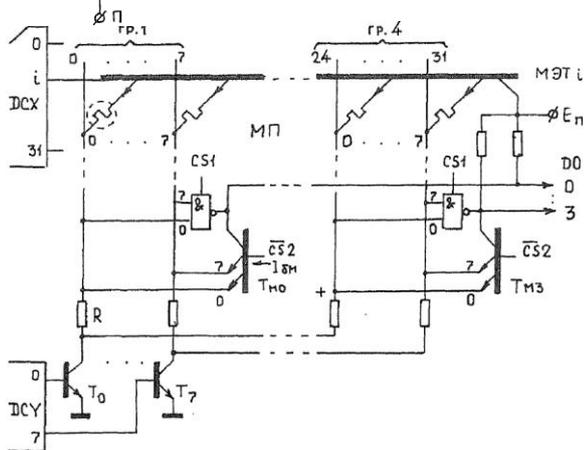
22. В программируемом ПЗУ разрушенная перемычка может восстановиться. Это происходит из-за явления ...?

- A. Миграции ионов
- B. Миграции катодов
- C. Миграции анодов



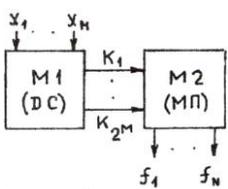
23. На рисунке показан элемент памяти со структурой ЛИЗМОП. Если на затвор подать положительный импульс 21...25В, то передаточная характеристика транзистора сместится ...?

- A. Влево
- B. Вправо



24. На рисунке показана упрощенная схема кристалла K556PT4. Что будет считано с 0-го разряда гр. 1, если обведенная пунктиром перемычка разрушена?

- A. 0
- B. 1
- C. Высокоимпеданное состояние



25. На рис. представлена структура ПЗУ как логического преобразователя. Какие технические идеи легли в основу построения ПЛМ?

- A. Трансформация матрицы M1 в частичный дешифратор.
- B. Разрешение одновременной активизации в матрице M2 любого числа входов элементов ИЛИ.
- C. Трансформация матрицы M1 в частичный мультиплексор.
- D. Разрешение одновременной деактивизации в матрице M2 любого числа входов элементов ИЛИ.

26. Что обеспечивает переход от ПЗУ к ПЛМ?

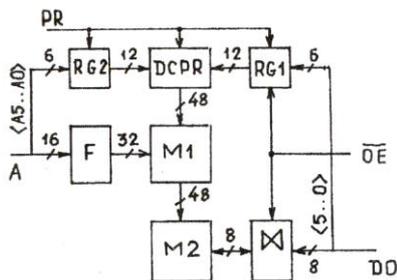
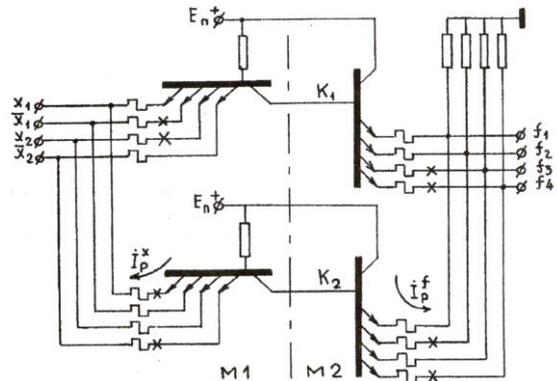
- A. Снижение степени интеграции и энергопотребления.
- B. Снижение степени интеграции.
- C. Снижение энергопотребления.
- D. Увеличение быстродействия.

27. Что представляет собой адресуемая ячейка памяти ПЛМ?

- A. Множество подъячеек, содержимое которых читается поразрядно дизъюнктивно.
- B. Множество подъячеек, содержимое которых читается поразрядно конъюнктивно.
- C. Статический триггер.
- D. Набор перемычек.

28. На рис. дана упрощенная иллюстрация ТТЛ-технологии ПЛМ с электрическим программированием. Программирование M2 связано ...?

- A. С выбором конъюнктора и соединением с корпусом нужного выхода.
- B. С выбором дизъюнктора и соединением с корпусом нужного выхода.
- C. С выбором инвертора и соединением с корпусом нужного выхода.
- E. С выбором компаратора и соединением с корпусом нужного выхода.



29. На рис. показана структурная схема микросхемы K556PT2. Для чего предназначены регистры RG1 и RG2 в этой схеме?

- A. Для фиксации адреса конъюнктора.
- B. Для фиксации адреса дизъюнктора.
- C. Для задания напряжения питания на выбранный конъюнктор.
- D. Для задания напряжения питания на выбранный дизъюнктор.

30. Помехи от “обратных токов” в цифровых устройствах ТТЛ наводятся ...?

- A. По шине «земля».
- B. По шине «питание».
- C. По обеим шинам.

31. Меры борьбы с помехами от “обратных токов” в цифровых устройствах ТТЛ ...?

- A. Узкие шины «земля» и «питание».
- B. Широкие шины «земля» и «питание».
- C. То и другое не верно.

32. Меры борьбы с помехами от “сквозных токов” в цифровых устройствах ТТЛ ...?

- A. Установка вблизи элементов высокочастотных конденсаторов.
- B. Установка вблизи элементов низкочастотных катушек индуктивности.
- C. Шунтирование элементов высокоомными резисторами.

33. Конденсатор ВЧ развязки для ИС с малой степенью интеграции устанавливают из расчета 1 конденсатор на группу из:

- a) 1-5 корпусов; b) 5-10 корпусов; c) 10-15 корпусов; d) 15-20 корпусов; e) все не верно

34. Конденсатор ВЧ развязки для ИС со средней степенью интеграции устанавливают из расчета 1 конденсатор на группу из:

- A. 1 корпуса; B. 2 корпусов; C. 3 корпусов;
- D. 4 корпусов; E. 5 корпусов

35. Емкость конденсатора ВЧ развязки:

- A. 0,0047 мкФ; B. 0,0094 мкФ;
- C. 0,01 мкФ; D. 1 мкФ;
- E. Правильных ответов нет

36. Электролитический конденсатор для устранения НЧ помех устанавливается из расчета:

- A. 1 мкФ на одну группу корпусов; B. 2 мкФ на одну группу корпусов;
- C. 3 мкФ на одну группу корпусов; D. 4 мкФ на одну группу корпусов;
- E. Правильных ответов нет

37. Несогласованные линии передачи сигналов в цифровых устройствах ТТЛ применяются ...?

- A. При длинах линии > 1м.
- B. При длинах линии > 10м.
- C. При длинах линии < 1м.

38. При отсутствии согласования между элементами ТТЛ происходят искажения ...?

- A. На фронте передаваемого импульса.
- B. На срезе передаваемого импульса.
- C. Формы передаваемого сигнала.

39. В цифровых устройствах ТТЛ триггеры Шмита применяются в качестве магистральных приемников ...?

- A. При длинах линий передачи > 1м.

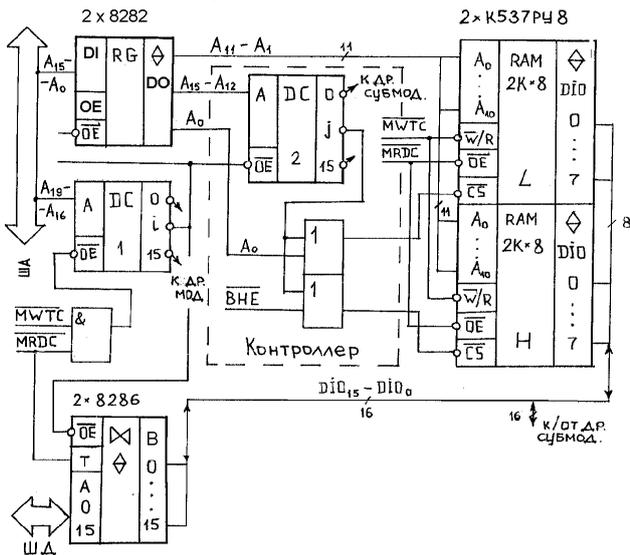
- В. При длинах линии передачи  $< 1\text{м}$ .  
 С. При неизвестном числе приемников.  
 D. При множестве приемников, произвольно распределенных по линии связи.  
 E. При одном приемнике в конце линии связи.
40. Последовательное согласование в начале линии связи между элементами ТТЛ применяется ...?  
 A. При длинах линии передачи до  $10\text{м}$ .  
 B. При длинах линии передачи до  $3\text{м}$ .  
 C. При числе приемников не более двух.  
 D. При числе приемников не более пяти.
41. Параллельное согласование в конце линии связи между элементами ТТЛ применяется ...?  
 A. При длинах линии передачи  $> 1\text{м}$ .  
 B. При длинах линии передачи  $> 3\text{м}$ .  
 C. При работе передатчика на 1 приемник.  
 D. При работе передатчика на 2-3 приемника.
42. Требования к выходному току магистрального передатчика ТТЛ ...?  
 A.  $I_{\text{вых}}^0 \geq 16\text{мА}$ .  
 B.  $I_{\text{вых}}^0 \geq 30\text{мА}$ .  
 C.  $I_{\text{вых}}^0 \geq 100\text{мА}$ .
43. Статическое 0-состояние в комбинационной схеме имеет место, если при изменении входа ...?  
 A. Правильное значение выхода – Const 0.  
 B. Правильное значение выхода – Const 1.  
 C. Возможно появление на выходе кратковременного 0.  
 D. Возможно появление на выходе кратковременной 1.
44. Динамическое состояние в комбинационной схеме имеет место, если при изменении входа ...?  
 A. Возможно 1-кратное изменение выхода.  
 B. Возможно 2-кратное изменение выхода.  
 C. Возможно 3-кратное изменение выхода.
45. Избавиться от проявления любых комбинационных состязаний при одновременном изменении только одного входа можно ...?  
 A. Выявлением всех простых импликант.  
 B. Использованием устойчивого элемента И.  
 C. Применением RS-триггеров с прямым управлением для формирования выхода.
46. Избавиться от проявления функциональных состязаний в комбинационной схеме при одновременном изменении нескольких входов можно ...?  
 A. Выявлением всех простых импликант.  
 B. Использованием устойчивого элемента И.  
 C. Применением RS-триггеров с прямым управлением для формирования выхода.
47. Существенные состязания в асинхронной последовательностной схеме – состязания ...?  
 A. Между входными сигналами.  
 B. Между сигналами внутренних переменных.  
 C. Между изменениями входа и внутреннего состояния.
48. Критические состязания в асинхронной последовательностной схеме – это состязания ...?  
 A. Между входными сигналами.  
 B. Между сигналами внутренних переменных.  
 C. Между изменениями входа и внутреннего состояния.
49. Избавиться от проявления существенных состязаний в асинхронной последовательностной схеме можно ...?  
 A. Использованием (ИЛИ–НЕ/И)-парной факторизации.  
 B. Использованием асинхронных RS-триггеров с прямым управлением для формирования сигналов внутренних переменных.  
 C. Правильным кодированием состояний.
50. Избавиться от проявления критических состязаний в асинхронной последовательностной схеме можно ...?  
 A. Использованием (ИЛИ–НЕ/И)-парной факторизации.  
 B. Использованием асинхронных RS-триггеров с прямым управлением для формирования сигналов внутренних переменных.  
 C. Правильным кодированием состояний.
51. Описание переходных процессов в цифровых схемах с помощью операций непрерывной логики применяется к исчислению ...?  
 A. Высказываний.  
 B. Состояний устройства.  
 C. Моментов изменений сигналов.
52. Запись  $0'_{\alpha\beta} 1'_{\gamma} 0''_{\alpha \vee \gamma}$  трактуется как ...?  
 A.  $0(\alpha\beta, \gamma) 1(-, \alpha \vee \gamma)$ .  
 B.  $1(\alpha\beta, \gamma) 0(-, \alpha \vee \gamma)$ .  
 C. Последовательность импульса и паузы.  
 D. Последовательность паузы и импульса.
53. Анализ динамики многотактных асинхронных схем проводится с целью ...?  
 A. Выявления критичности схемы к задержкам элементов.  
 B. Выявления правильности реализации того или иного перехода.  
 C. Установления не критичности схемы к задержкам элементов.

54. Кодирование состояний асинхронных последовательностных схем выполняется для исключения ...?
- Статических состязаний.
  - Существенных состязаний.
  - Критических состязаний.
55. Наиболее компактное построение асинхронной последовательностной схемы обеспечивает кодирование состояний ...?
- С одноктактными переходами.
  - С совместным использованием строк.
  - С совместным использованием столбцов.
56. Наибольшее быстродействие асинхронной последовательностной схемы обеспечивает кодирование состояний ...?
- С одноктактными переходами.
  - С совместным использованием строк.
  - С совместным использованием столбцов.
57. Необходимое условие правильного кодирования с одноктактными переходами ... ?
- Переходные множества в одном столбце таблицы переходов пересекаться не должны.
  - Каждая пара таких множеств покрывается одной внутренней переменной.
  - Совокупность покрывающих дихотомий минимальна.
58. При использовании прямого подхода надежная реализация синхронной последовательностной схемы может быть обеспечена в случае ...?
- Синхронного автомата.
  - Асинхронного автомата.
  - Использования дополнительного регистра состояний.
59. Для асинхронной регистровой реализации синхронной последовательностной схемы характерно ...?
- Ограничение на разброс задержек элементов.
  - 2-уровневая реализация ДНФ.
  - Реализация входного регистра на основе D-триггеров с прямым управлением.
  - Использование RS-триггеров в составе асинхронной схемы.
60. Кодирование состояний с совместным использованием строк ...?
- Алгоритмически недостижимо.
  - Алгоритмически достижимо.
  - Эвристически достижимо.
61. Дублирование регистра состояний применяется при синхронной реализации ...?
- Асинхронных автоматов.
  - Синхронных автоматов.
  - Тех и других.

### **Задания на тестирование 2**

- Назовите основополагающие принципы построения микропроцессорных систем?
  - Магистральность и модульность.
  - Магистральность и кроссплатформенность.
  - Модульность и кроссплатформенность.
  - Иерархичность и магистральность.
- Для какой цели применяются буферные микросхемы в микропроцессорных системах?
  - Для сопряжения центрального процессора с системной шиной.
  - Для повышения быстродействия центрального процессора.
  - Для оптимизации работы с памятью.
  - Для увеличения разрядности системной шины.
- Какие банки памяти активны при  $\langle \overline{VHE}, A_0 \rangle = 01$ ?
  - Активны оба банка – L и H.
  - Только банк H.
  - Только банк L.
  - Ни тот, ни другой.
- Какими функциями должны обладать микросхемы использующиеся для сопряжения модулей ОЗУ с магистралью?
  - Дешифрации старших разрядов адреса.
  - Увеличения нагрузочной способности шин.
  - Выбора субмодуля.
  - Мультиплексирования линий магистральной.
  - Мультиплексирования младших разрядов адреса.
- Сигнал READY (RDY) – это ...?
  - Подтверждение готовности данных.
  - Подтверждение готовности адреса.
  - Сигнал записи в память.
  - Сигнал чтения из памяти.
- На каких микросхемах можно построить модуль репрограммируемого ПЗУ?
  - K573PФ5.
  - K565PY5.
  - K155IE7.
  - K155PE21.
- Как осуществляется стирание информации в модуле репрограммируемого ПЗУ, построенного на микросхемах K573PФ5?
  - Ультрафиолетовым облучением.
  - Пережиганием перемычек.

- C. Сбросом статического триггера.  
D. Разрядом емкости.

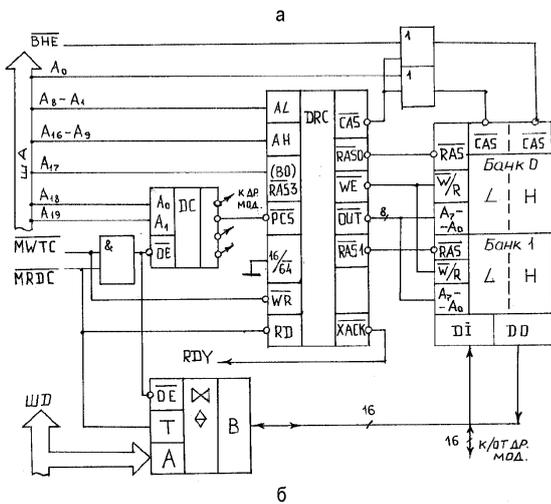
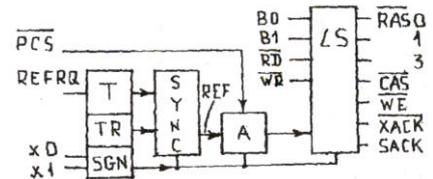


8. На рис. представлена организация 16-страничного модуля статического ОЗУ объемом 64 Кбайт на основе микросхем K537PY8. Какими сигналами осуществляется управление доступом к банкам памяти и режимом их работы?

- A.  $\overline{BHE}$ ,  $A_0$ ,  $\overline{MWTC}$ ,  $\overline{MRDC}$   
B.  $\overline{BHE}$ ,  $A_0$ ,  $\overline{MRDC}$ .  
C.  $\overline{BHE}$ ,  $A_0$ ,  $\overline{MWTC}$ .  
D.  $A_0$ ,  $\overline{MWTC}$ ,  $\overline{MRDC}$ .

9. На рис. показана структурная схема блока синхронизации контроллера динамической памяти для микросхем K565PY5. Для чего предназначен арбитр (блок А)?

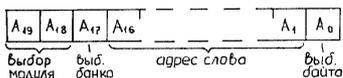
- A. Для разрешения конфликтов между  $\overline{PCS}$  и  $\overline{REF}$ .  
B. Для формирования запроса на регенерацию по сигналу от внешнего источника.  
C. Для генерации синхрипульсов.  
E. Для инициирования цикла чтения/записи.



10. На рис.а дан пример использования контроллера динамической памяти (КДП) в составе модуля емкостью 256К байт. Память в целом имеет объем 1М байт и содержит 4 таких модуля. Модуль включает 32 микросхемы K565PY5. Разбит на 2 банка-субмодуля по 64К 16-разрядных слов каждый. Любой банк делится на 2 подбанка по 64К байт для хранения байтов Н и L слова. На рис.б указаны поля адреса, которыми определяется выбор модуля, банка и байта.

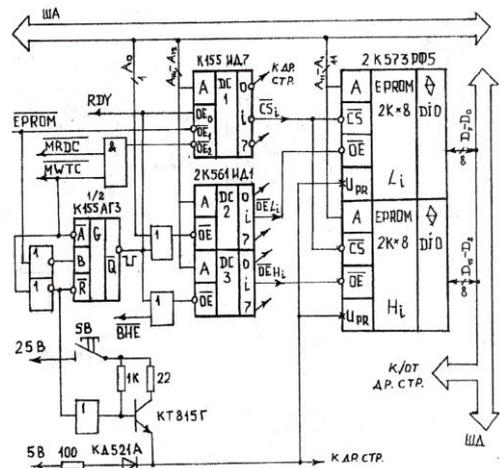
Вопрос: Каково назначение сигнала  $\overline{NACK}$  с выхода КДП?

- A. Сигнал RDY подтверждения готовности данных от интерфейса памяти.  
B. Сигнал READY для центрального процессора.  
C. Сигнал RDY для внешнего устройства.



11. На рис. представлен 8-страничный модуль РПЗУ емкостью 32 Кбайт. Какие сигналы обеспечивают режим программирования?

- A.  $\overline{EPROM} = 0, \overline{MWTC} = 0$ .  
B.  $\overline{EPROM} = 0, \overline{MWTC} = 1$ .  
C.  $\overline{EPROM} = 1, \overline{MWTC} = 0$ .  
D.  $\overline{EPROM} = 1, \overline{MWTC} = 1$ .



12. Применение фреймовой модели синтеза автоматов по неформальному заданию предусматривает заполнение пользователем ...?
  - A. Фреймов параметров задания.
  - B. Фреймов спецификации состояний.
  - C. Фреймов правил.
  - D. Фреймов переходов.
13. Интерактивная система синтеза автоматов по неформальному заданию сводит процесс синтеза к последовательному формированию множества таблиц-фреймов, ...?
  - A. Которое полностью заполняется пользователем.
  - B. Часть которого заполняется пользователем.
  - C. Часть которого генерируется автоматически.
  - D. Часть которых представляет наборы резидентных подпрограмм.
14. Реляционные СУБД являются релевантным инструментальным средством реализации фреймовой модели синтеза автоматов, поскольку над фреймами-таблицами выполняются операции ...?
  - A. Селекции.
  - B. Проекции.
  - C. Поиска по ключу.
15. Необходимость корректив механизмов реляционной СУБД Access при погружении в нее фреймовой модели синтеза автоматов обусловлена тем, что ...?
  - A. Система Access включает язык запросов SQL.
  - B. Система Access включает встроенный язык программирования Visual Basic.
  - C. Значения одного и того же атрибута для разных слотов фрейма могут принадлежать разным доменам.
16. Необходимость валидации решений, выдаваемых интерактивной системой синтеза автоматов обусловлена ...?
  - A. Возможными ошибками ввода.
  - B. Неполным учетом условий задания.
  - C. Сравнительно большим числом фреймов, заполняемых пользователем.
  - D. Недостаточной квалификацией пользователя.
17. Валидация решений, выдаваемых интерактивной системой синтеза автоматов, выполняется путем ...?
  - A. Сопоставлением одного из получаемых решений с известным результатом.
  - B. Сопоставлением множества получаемых решений с известными результатами.
  - C. Сопоставлением реакций каждого синтезируемого системой автомата и его программной модели на действие случайной входной последовательности.
  - D. Системный модуль – это ...?
    - A. Фрагмент некоторого операционного узла.
    - B. Фрагмент некоторого устройства.
    - C. Составная часть вычислительной системы.
    - D. Взаимосвязанная совокупность различных структурных модулей.
18. Микропроцессорные комплекты БИС применяются для построения ...?
  - A. Универсальных вычислительных систем.
  - B. Специализированных систем.
  - C. Высокопроизводительных систем.
  - D. Систем малой и средней производительности.
19. На основе МПК БИС строятся ...?
  - A. Однокристалльные микропроцессоры.
  - B. Секционные микропроцессоры.
  - C. Микропроцессоры со стандартным составом команд.
  - D. Микропроцессоры со специальным составом команд.
20. Для секционных микропроцессоров характерно ...?
  - A. Нарастивание разрядности путем каскадирования однотипных модулей.
  - B. Микропрограммное управление.
  - C. Специализация состава команд.
  - D. Универсализация состава команд.
21. Микропроцессорная секция KP1804BC1 включает ...?
  - A. Блок внутренней памяти.
  - B. Блок внешней памяти.
  - C. Блок рабочего регистра.
  - D. Блок арифметическо-логический.
  - E. Блок управления.
  - F. Блок прерываний.
22. Блок внутренней памяти секции KP1804BC1 включает ...?
  - A. Регистровое запоминающее устройство.
  - B. Кеш-память.
  - C. Выходные регистры.
  - D. Входные регистры.
  - E. Узел сдвигателя данных.
23. Блок рабочего регистра секции KP1804BC1 включает ...?
  - A. АЛУ.
  - B. Регистр.
  - C. Сдвигатель регистра.
  - D. Узел управления.

24. Данные на вход рабочего регистра секции КР1804ВС1 могут подаваться ...?  
 А. С выхода самого регистра.  
 В. С выхода АЛУ.  
 С. От блока внутренней памяти.
25. Данные на входы АЛУ секции КР1804ВС1 могут подаваться ...?  
 А. От блока внутренней памяти.  
 В. С внешней шины данных.  
 С. От селектора выходных данных.  
 D. От блока регистров.
26. Микрокоманда управления микропроцессорной секцией КР1804 включает ...?  
 А. Поле управления источником данных.  
 В. Поле управления операциями АЛУ.  
 С. Поле управления передатчиком.  
 D. Поле управления приемником.  
 E. Другие поля.
27. Слово состояния операционного устройства (ОУ) МПУ КР1804 формируется ...?  
 А. С выходов признаков старшей секции ОУ.  
 В. С выходов признаков младшей секции ОУ.  
 С. Из сигналов Z, F<sub>3</sub>, C<sub>4</sub>, OVR.
28. Одна секция СУАМ КР1804 ВУ1 (ВУ2) формирует на своем выходе ...?  
 А. 2-разрядный адрес.  
 В. 4-разрядный адрес.  
 С. 8-разрядный адрес.
29. Микросхема УСА КР1804ВУ3 предназначена для формирования ...?  
 А. Управляющих сигналов УУ МПУ КР1804.  
 В. Сигналов S<sub>1</sub>, S<sub>0</sub>, PUP,  $\overline{EE}$  микросхемы КР1804ВУ1  
 С. Слова состояния КР1804ВС1.
30. В СУАМ КР1804ВУ1 источником адреса могут быть ...?  
 А. Блок управления секции КР1804ВС1.  
 В. Счетчик микрокоманд.  
 С. Регистр адреса.  
 D. Стек.  
 E. Входная шина адреса.  
 F. Выход БВА.
31. Микрокоманда МПУ КР1804 содержит ...?  
 А. Поле управления ОУ.  
 В. Поле управления УУ.  
 С. Поле следующего адреса.  
 D. Другие поля.
32. При программировании МПУ КР1804 на уровне команд управляющая память УУ хранит ...?  
 А. Начальные адреса микропрограмм выполнения соответствующих команд.  
 В. Набор микропрограмм реализации отдельных операций.  
 С. Набор программ решения отдельных задач.
33. Вектор прерывания МПУ КР1804 указывает ...?  
 А. Начальный адрес программы обработки прерываний.  
 В. Начальный адрес микропрограммы обработки прерываний.  
 С. Точку выхода из прерывания.
34. Вход TST микросхемы КР1804ВУ3 используется для приема сигнала, по значению которого осуществляется ...?  
 А. Выход из прерывания.  
 В. Формирование слова состояния ОУ.  
 С. Ветвление в микропрограмме.
35. На вход мультиплексора кода условия УУ МПУ КР1804 подается ...?  
 А. Микропрограмма МПУ.  
 В. Слово состояния ОУ.  
 С. Сигналы от счетчика циклов.
36. Является ли модуль с функцией выхода  $Z = \overline{A} \overline{B} C \vee \overline{A} B D \vee A \overline{B} E \vee A B F$  предельно универсальным и если ДА, то на какое число переменных?  
 А. НЕТ.  
 В. ДА, на 2 переменные.  
 С. ДА, на 3 переменные
37. Какие входы следует использовать в качестве настроечных, чтобы модуль с функцией выхода  $Z = \overline{A} \overline{B} C \vee \overline{A} B D \vee A \overline{B} E \vee A B F$  оказался предельно универсальным на 2 переменные ?  
 А. А, В, С, D.      В. В, С, D, E.      С. С, D, E, F
38. Какое число функций может реализовать многофункциональный модуль с выделяющим кодом настройки и функцией выхода  $Z = A B C D \overline{E} \vee (A \vee B \vee C) \overline{D} E \vee (\overline{A} B C \vee A \overline{B} C \vee A B \overline{C}) D \overline{E} \vee \overline{A} \overline{B} \overline{C} D E$  ?  
 А. Три.      В. Четыре.      С. Пять.      D. Шесть.
39. Какие входы следует использовать в качестве настроечных, чтобы модуль с функцией выхода  $Z = A B C D \overline{E} \vee (A \vee B \vee C) \overline{D} E \vee (\overline{A} B C \vee A \overline{B} C \vee A B \overline{C}) D \overline{E} \vee \overline{A} \overline{B} \overline{C} D E$  оказался многофункциональным, реализующим в зависимости от настройки 4 различные функции?  
 А. А и В.      В. В и С.      С. С и D.      D. D и E.

40. Возможна ли регулярная реализация произвольной функции 8 переменных на основе модулей с функцией выхода  $Z = A \bar{B} C \vee \bar{A} \bar{B} C \vee B \bar{C} D \vee \bar{B} C \bar{D} \vee A \bar{C} D \vee A C \bar{D}$  ?  
 А. Да. В. Нет. С. Затрудняюсь ответить.
41. Использование декомпозиции Шеннона позволяет реализовать предельно универсальный модуль на 'm' переменных на микросхеме ...?  
 А. Дешифратора на 'm' входов.  
 В. m-разрядного АЛУ.  
 С. Мультиплексора  $2^{m-1} \rightarrow 1$ .
42. В каком из перечисленных ниже случаев число внешних выводов предельно универсального модуля меньше ...?  
 А. При использовании декомпозиции Шеннона.  
 В. При использовании комбинирующего кода фиксированной настройки.  
 С. При реализации модуля в виде древовидной структуры на основе более простых мультиплексоров.
43. Итеративные сети – это ...?  
 А. Однородные сети.  
 В. Неоднородные сети.  
 С. Сети из настраиваемых элементов.  
 D. Сети из ненастраиваемых элементов.
44. Майтровские каскады – это ...?  
 А. Одноканальные безповторные сети.  
 В. Сети, на внешние информационные входы каждого элемента которых подается несколько переменных.  
 С. Сети из настраиваемых элементов.  
 D. Сети, на внешние информационные входы каждого элемента которых подается лишь одна переменная.  
 E. Сети из ненастраиваемых элементов.
45. Майтровские каскады – это сети, каждый элемент которых при соответствующей настройке реализует одну из операций множества ...?  
 А. {Штрих Шеффера, стрелка Пирса}.  
 В. { $\wedge$ ,  $\vee$ ,  $\neg$ }.  
 С. { $\wedge$ ,  $\vee$ ,  $\oplus$ }.
46. Одноканальные повторные сети из настраиваемых элементов строятся с использованием разложения ...?  
 А. По Шеннону.  
 В. По Майтру.  
 С. По Риду.
47. Функциональные возможности каскадов Майтра в сравнении с одноканальными повторными цепями ...?  
 А. Выше.  
 В. Ниже.  
 С. Одинаковы.
48. Число элементов каскадов Майтра в сравнении с одноканальными повторными цепями ...?  
 А. Больше.  
 В. Меньше.  
 С. Одинаково.
49. Универсальностью обладают ...?  
 А. Одноканальные бесповторные сети.  
 В. Одноканальные повторные сети.  
 С. Бесповторные сети с числом каналов более одного.  
 D. Повторные сети с числом каналов более одного.
50. Может ли однородная сеть, показанная на рисунке, реализовать произвольную функцию четырех переменных и если ДА, то при каких условиях ?

- А. ДА, если реализуемая элементом пара функций принадлежит множествам

$$f_1 \in \{x_1 x_2, \bar{x}_1 x_2, 1\}, f_2 \in \{x_1 x_2 \vee x_3, \bar{x}_1 x_2 \vee x_3, x_3\}.$$

- В. ДА, если ее элемент реализует любую пару функций трех переменных.

- С. ДА, если использовать разложение Рида и снять ограничения на функции  $f_1, f_2$ .

51. Какова функция элемента универсальной решетки (см. рисунок), реализующей произвольную функцию трех переменных ?

А.  $f = f_1 \vee x_1 f_0$ .

В.  $f = x_1 f_1 \vee f_0$ .

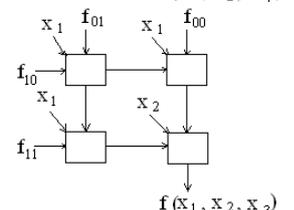
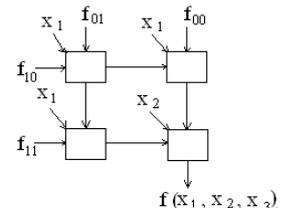
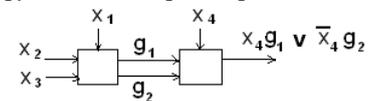
С.  $f = x_1 f_1 \vee \bar{x}_1 f_0$ .

52. Что за сигналы должны подаваться на входы  $f_{00}, f_{01}, f_{10}, f_{11}$  универсальной решетки, реализующей произвольную функцию трех переменных (см. рисунок) ?

- А. Значения остаточных функций при декомпозиции функции  $f(x_1, x_2, x_3)$  по переменной  $x_3$ .

- В. Компоненты (их значения) декомпозиции функции  $f(x_1, x_2, x_3)$  по Шеннону.

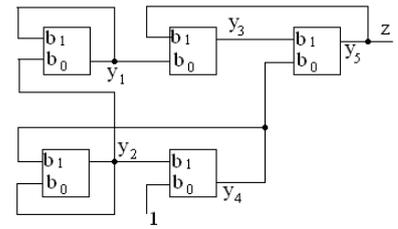
- С. Компоненты (их значения) декомпозиции функции  $f(x_1, x_2, x_3)$  по Риду.



53. Какова семантика сигналов  $y_i$  модульной реализации синхронного автомата Мура с одним двоичным входом,

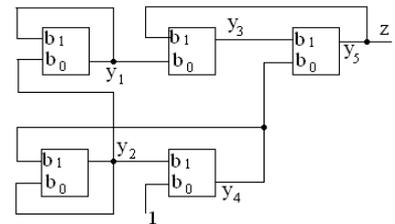
показанной на рисунке ?

- A. Сигналы прямой/обратной связи.
- B. Сигналы межэлементной логики.
- C. Сигналы внутренних переменны.
- D. Иные сигналы.



54. Каков диапазон числа состояний модульной реализации синхронного автомата Мура с одним двоичным входом, показанной на рисунке ?

- A. От  $(2^4 + 1)$  до  $2^5$ .
- B. От  $(2^3 + 1)$  до  $2^4$ .
- C.  $\leq 2^3$ .
- D. Иной диапазон.



55. Можно ли использовать методологию регулярной модульной реализации синхронных автоматов Мура с одним входом и выходом для реализации автоматов на несколько входов и выходов и какие дополнения метода при этом требуются ?

- A. Можно, если использовать входной дешифратор и применить стандартную процедуру реализации для каждого выхода.
- B. Можно, если дополнить структуру входным дешифратором и демультиплексором на выходе, усложнить схему базового модуля и применить стандартную процедуру реализации.
- C. Нельзя.

56. Можно ли использовать методологию регулярной модульной реализации синхронных автоматов Мура для реализации автоматов Мили ?

- A. Можно.
- B. Нельзя.
- C. Можно, но выполнении определенных условий.

57. Для приведенной синхронной таблицы разбиения  $\alpha_1 = (14, 235)$  и  $\alpha_2 = (15, 234) \dots$ ?

	A	B	C
1	4	3	5
2	5	3	4
3	5	2	3
4	2	4	1
5	1	4	2

- A. Образуют пару разбиений.
- B. Обладают свойством подстановки.
- C. Обладают свойством  $\alpha_1\alpha_2 = 0$ .

58. Операционная логико-запоминающая среда представляет собой ...?

- A. Матрицу памяти ограниченного объема с распределенной логикой, предназначенную для параллельной реализации заданного множества процедур над предварительно занесенным в нее массивом данных.
- B. Итеративную двумерную структуру, которая реализует заданное множество процедур независимо от размеров среды.
- C. Итеративную матрицу с сосредоточенной логикой.

59. Элемент операционной логико-запоминающей среды содержит ...?

- A. N-разрядный регистр и комбинационную схему.
- B. Ячейку памяти для хранения 1 бита исходной информации и автоматную часть.
- C. Регистр признаков и комбинационную схему.

60. В операционной ЛЗС признаки  $\alpha_i, \beta_j \dots$ ?

- A. Являются общими для i-столбца и j-строки.
- B. Могут выполнять функции настройки, маскирования, разрешения считывания или записи.
- C. Могут выполнять функции числовых разрядов, результатов анализа содержимого строк или столбцов

61. «Обрамление» среды составляют группы регистров, в которых ...?

- A. Размещаются обрабатываемые данные.
- B. Размещаются признаки и маски.
- C. Размещаются конечные результаты.
- D. Может выполняться дополнительная логическая обработка информации.

62. Задача синтеза операционной ЛЗС для реализации заданного набора процедур сводится к определению ...?

- A. Ее топологии.
- B. Структуры связей.
- C. Способа продуцирования.
- D. Схемы элемента среды.
- E. Значений сигналов на границах среды.

63. Достаточным условием реализуемости любой процедуры на основе ЛЗС является возможность формулировки

алгоритма ее выполнения в терминах операций ...?

- A. Поиска числа в однородном информационном массиве по заданному набору признаков.
- B. Умножения и деления.
- C. Распознавания каких-либо свойств такого массива.
- D. Извлечения квадратного корня.
- E. Суммирования и сдвигов.

## 6.2. Оценка практических умений и навыков.

**Пример типового задания на курсовую работу.** Задана блок-схема устройства контроля за состоянием некоторого циклического процесса. Правильному протеканию процесса отвечает следующая смена контрольных сигналов от такта к такту:  $X = X_1X_2X_3 = 000 - 100 - 000 - 010 - 000 - 001 - 000$ . Нарушение этой последовательности говорит о сбое в работе контролируемой системы. При обнаружении сбоя схема анализа выдает набор  $Z^k$ , по которому формируются сигналы перезапуска согласно заданным временным диаграммам:

Q0 – сигнал прерывания процесса;

Q1, Q2 – сигналы возврата к началу прерванного цикла;

Q3 – стартовый сигнал для возобновления прерванного цикла (перехода на повторный цикл).

Если сбой на повторном цикле не проявится, схема анализа выходит на основной рабочий режим. В противном случае индицируется неисправность. Процесс останавливается.

Автомат анализа – синхронный. Автомат перезапуска – асинхронный. Начальная установка устройства выполняется от механической кнопки с последующим формированием одиночного импульса нужной длительности и полярности. Тактовая частота 1 МГц. Длительность синхроимпульсов 0,5 мкс. Требуется разработать электрическую принципиальную схему устройства контроля в целом в базе ИС ТТЛ из условия возможно малого числа корпусов и энергопотребления.

## 6.3. Контрольные вопросы / вопросы экзамена

1. Простейшие релаксаторы ТТЛ.
2. Микросхемы генераторов импульсов ТТЛ.
3. Арифметические микросхемы ТТЛ.
4. Микросхемы контроля и дешифраторы ТТЛ.
5. Микросхемы регистров.
6. Микросхемы счетчиков.
7. Микросхемы статических ОЗУ ТТЛ.
8. Микросхемы статических ОЗУ КМОП.
9. Микросхемы динамических ОЗУ.
10. Масочные ПЗУ.
11. Программируемые (прожигаемые) и репрограммируемые ПЗУ.
12. Программируемые логические матрицы.
13. Понятие микропроцессорной системы. Простейшие интерфейсные микросхемы. Некоторые интерфейсные сигналы.
14. Организация модуля памяти. Модуль статического ОЗУ.
15. Модуль динамического ОЗУ.
16. Модуль репрограммируемого ПЗУ.
17. Особенности перехода от структурного к системному проектированию цифровых устройств на основе МПК БИС. Состав комплекта КР1804.
18. Микропроцессорная секция КР1804ВС1.
19. Микросхемы управления КР1804ВУ1 и КР1804ВУ3.
20. Структурная схема управляющего устройства.
21. Схема процессора КР1804 и пример микропрограммы.
22. Подход к синтезу цифровых автоматов по неформальному заданию.
23. Синтез автоматов с лабиринтами. Примеры синтеза.
24. Комбинационные состязания и их устранение.
25. Исследование переходных процессов в комбинационных схемах.
26. Состязания в последовательностных схемах.
27. Анализ динамики переключения последовательностных схем.
28. Устранение существенных состязаний в асинхронных последовательностных схемах.
29. Кодирование состояний асинхронных последовательностных схем.
30. Прямой и асинхронно-регистровый способы реализации синхронных последовательностных схем.
31. Помехи от обратных токов. Методы нейтрализации импульсных помех по цепям питания.
32. Помехи рассогласований в линиях связи цифровых устройств.
33. Подход к построению интерактивной системы автоматизированного синтеза цифровых автоматов. Принципы валидации решений, выдаваемых этой системой.
34. Универсальные модули. Фиксированная настройка. Произвольные входы настройки.
35. Использование декомпозиции Шеннона. Частично универсальные модули.

36. Реализация синхронных схем с 1 входом на основе 3-входовых модулей. Усложнение схемы модуля. Увеличение числа входов автомата.
37. Декомпозиция асинхронных последовательностных схем. Разбиения на множестве состояний. Параллельная и последовательная декомпозиции.
38. Одноканальные сети: каскады Майтра, реализация по Риду, сравнительные оценки.
39. Двухканальные сети: реализации по Шеннону и по Риду. Двумерный случай.
40. Перестраиваемая среда числового поиска.
41. Решение задачи минимального покрытия на основе ЛЗС.

### Лист регистрации изменений и дополнений

№ п/п	№ страницы внесения изменений	Дата внесения изменения	Краткое содержание изменений (основание)	Ф.И.О., подпись	«Согласовано» заведующий кафедрой, ведущей дисциплину