

Министерство образования и науки Российской Федерации
федеральное государственное бюджетное образовательное
учреждение высшего образования
«Казанский национальный исследовательский технический университет
им. А.Н. Туполева-КАИ»
(КНИТУ-КАИ)

Институт (факультет) Институт компьютерных технологий и защиты информации
Кафедра Компьютерных систем

УТВЕРЖДАЮ

Ответственный за ОП

Верши И.С.Вершинин
«31» 08 2017 г.

Регистрационный № 4010-1415
-065

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

для проведения промежуточной аттестации обучающихся по дисциплине

Схемотехника

(наименование дисциплины, практики)

Индекс по учебному плану: Б1.В.07.02

Направление: 09.03.01 «Информатика и вычислительная техника»

Квалификация: бакалавр

Профили подготовки: «Вычислительные машины, комплексы, системы и сети»
«Автоматизированные системы обработки информации и управления»
«Программное обеспечение средств вычислительной техники и автоматизированных систем»
«Системы автоматизированного проектирования (электронные средства)»
«Системы автоматизированного проектирования машиностроения»

Виды профессиональной деятельности: Научно-исследовательская, проектная,
эксплуатационная

Форма обучения: Очная

Заведующий кафедрой КС И.С. Вершинин

Разработчик: профессор кафедры КС, д.ф.-м.н., профессор В.А. Райхлин

Казань 2017 г.

Фонд оценочных средств для проведения промежуточной аттестации обучающихся
по дисциплине (модулю)

Схемотехника

Содержание фонда оценочных средств (ФОС) соответствует требованиям федерального государственного стандарта высшего образования (ФГОС ВО) по направлению 09.03.01 «Информатика и вычислительная техника», учебному плану направления 09.03.01 «Информатика и вычислительная техника».

Разработанные ФОС обладают необходимой полнотой и являются актуальными для оценки компетенций, осваиваемых обучающимися при изучении дисциплины «Схемотехника». Разработанные ФОС полностью соответствуют задачам будущей профессиональной деятельности обучающихся, установленных ФГОС ВО по направлению 09.03.01 «Информатика и вычислительная техника». В составе ФОС присутствуют оценочные средства в виде тестовых заданий и контрольных вопросов различного уровня сложности, которые позволяют провести оценку порогового, продвинутого и превосходного уровней освоения компетенций по дисциплине.

ФОС обладают необходимой степенью приближенности к задачам будущей профессиональной деятельности обучающихся, связанным со способностью проводить научные исследования, выполнять проектирование и эксплуатацию систем соответствующего профиля.

Существенные недостатки отсутствуют.

Заключение. Учебно-методическая комиссия делает вывод о том, что представленные материалы соответствуют требованиям ФГОС ВО по направлению 09.03.01 «Информатика и вычислительная техника», и рекомендует их для использования в учебном процессе.

Рассмотрено на заседании учебно-методической комиссии института КТЗИ от «31» августа 2017 г., протокол № 8.

Председатель УМК института КТЗИ



В.В. Родионов

Введение

Фонд оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине «Схемотехника» – это комплект методических и контрольно-измерительных материалов, предназначенных для определения уровня сформированности компетенций, оценивания знаний, умений, владений на разных этапах освоения дисциплины для проведения промежуточной аттестации обучающихся по дисциплине.

ФОС ПА является составной частью учебного и методического обеспечения программы бакалавриата по направлению 09.03.01 «Информатика и вычислительная техника».

Задачи ФОС по дисциплине «Схемотехника»:

- оценка запланированных результатов освоения дисциплины обучающимися в процессе изучения дисциплины, в соответствии с разработанными и принятыми критериями по каждому виду контроля;
- контроль и управление процессом приобретения обучающимися необходимых знаний, умений, навыков и формирования компетенций, определенных в ФГОС ВО по направлению подготовки.

ФОС ПА по дисциплине «Схемотехника» сформирован на основе следующих основных принципов оценивания:

- пригодности (валидности) (объекты оценки соответствуют поставленным целям обучения);
- надежности (использования единообразных стандартов и критериев для оценивания запланированных результатов);
- эффективности (соответствия результатов деятельности поставленным задачам).

ФОС ПА по дисциплине «Схемотехника» разработан в соответствии с требованиями ФГОС ВО по направлению 09.03.01 «Информатика и вычислительная техника» для аттестации обучающихся на соответствие их персональных достижений требованиям поэтапного формирования соответствующих составляющих компетенций и включает контрольные вопросы (или тесты) и типовые задания, необходимые для оценки знаний, умений и навыков, характеризующих этапы формирования компетенций.

1. Формы промежуточной аттестации по дисциплине

Дисциплина «Схемотехника» изучается в 5 семестре при очной форме обучения и завершается промежуточной аттестацией в форме зачета.

2. Оценочные средства для промежуточной аттестации

Оценочные средства для промежуточной аттестации по дисциплине «Схемотехника» при очной форме обучения.

Таблица 1. Оценочные средств для промежуточной аттестации (очная форма обучения)

№ п/п	Семестр	Форма промежуточной аттестации	Оценочные средства
1.	5	Зачет	ФОС ПА

3. Перечень компетенций с указанием этапов их формирования в процессе освоения дисциплины

Перечень компетенций и их составляющих, которые должны быть сформированы при изучении темы соответствующего раздела дисциплины «Параллельные вычисления», представлен в таблице 2.

Таблица 2. Перечень компетенций и этапы их формирования в процессе освоения дисциплины

№ п/п	Этап формирования (семестр)	Наименование раздела	Код формируемой компетенции (составляющей компетенции)	Форма промежуточной аттестации
1	5	Основы импульсной техники	ПК-3	ПК-3.З ПК-3.У ПК-3.В Зачет
2	5	Базовые цифровые микросхемы	ПК-3	ПК-3.З ПК-3.У ПК-3.В Зачет

3	5	Микросхемы операционных узлов	ПК-3	ПК-3.3 ПК-3.В	Зачет
---	---	-------------------------------	------	------------------	-------

4. Описание показателей и критериев оценивания компетенций на различных этапах их формирования, описания шкалы оценивания

Показатели и критерии оценивания сформированности компетенций на экзамене, приведены в таблице 3.

Таблица 3. Показатели и критерии оценивания сформированности компетенций на экзамене

№ п/п	Этап формирования (семестр)	Код формируемой компетенции (составляющей компетенции)		Критерии оценивания	Показатели оценивания (планируемые результаты обучения)		
					Пороговый уровень	Продвинутый уровень	Превосходный уровень
1.	7	ПК-3	ПК-3.3 ПК-3.У	Теоретические навыки	Знание основ анализа импульсных процессов, функционирования типовых элементов и узлов. Умение строить программные модели цифровых элементов в формате MicroCap.	Понимание деталей процессов, протекающих в цифровых схемах и функциональных узлах. Умение строить программные модели цифровых схем в формате MicroCap.	Осознание необходимости и ограниченности понятий математических и физических моделей и пользы эвристики для схемотехники Умение строить программные модели цифровых функциональных узлов в формате MicroCap.
2.	7	ПК-3	ПК-3.В	Практические навыки	Владеть методикой построения УГО и мнемоник цифровых элементов с разной степенью интеграции.	Владеть методикой построения УГО, мнемоник, анализа процессов в цифровых элементах	Владеть методикой построения УГО, мнемоник, анализа процессов в цифровых элементах и схемах

Формирование оценки при промежуточной аттестации по итогам освоения дисциплины зависит от уровня освоения компетенций, которые обучающийся должен освоить по данной дисциплине. Связь между итоговой оценкой и уровнем освоения компетенций (шкала оценивания) представлена в таблице 4.

Таблица 4. Описание шкалы оценивания

Шкала оценивания		Описание оценки в требованиях к уровню и объему компетенций
Словесное выражение	Выражение в баллах	
Зачтено	от 86 до 100	Освоен превосходный уровень всех компетенций (составляющих компетенций)
Зачтено	от 71 до 85	Освоен продвинутый уровень всех компетенций (составляющих компетенций)
Зачтено	от 51 до 70	Освоен пороговый уровень всех компетенций (составляющих компетенций)
Незачтено	до 51	Не освоен пороговый уровень всех компетенций (составляющих компетенций)

5. Методические материалы, определяющие процедуру оценивания знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций

Формирование оценки по результатам текущего контроля успеваемости и промежуточной аттестации по итогам освоения дисциплины «Схемотехника» приведено в табл. 5.

Таблица 5. Формирование оценки по итогам освоения дисциплины

Наименование контрольного мероприятия	I аттестация	II аттестация	по результатам текущего контроля	по итогам промежуточной аттестации (зачета / экзамена)
ФОС ТК-1 + 1/2 ФОС ТК-3	35		35	
Тест текущего контроля по разделам 1 и 3(первая половина)	5		5	
Активность работы на лекциях	10		10	
Защита лабораторных работ	10		10	
Активность работы на практических занятиях	10		10	
ФОС ТК-2 + 1/2 ФОС ТК-3		35	35	
Тест текущего контроля по разделам 2 и 3(вторая половина)		5	5	
Активность работы на лекциях		10	10	
Защита лабораторных работ		10	10	

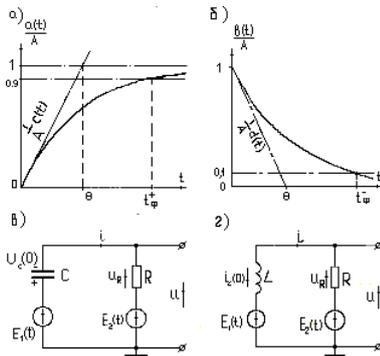
Активность работы на практических занятиях		10	10	
ФОС ПА (Зачет):				30
– ответы на контрольные вопросы в письменной форме по билетам				30

6. Контрольные задания или иные материалы, необходимые для оценки знаний, умений, навыков и (или) опыта деятельности, характеризующих этапы формирования компетенций в процессе освоения дисциплины

6.1. Тестовые задания

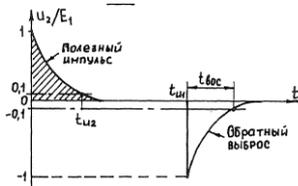
задания на тестирование 1

- RC-, RL- цепи являются
 - Цепями с экспоненциальным изменением
 - Цепями с синусоидальным изменением
 - Цепями с экспоненциальным и синусоидальным изменением
 - Правильных ответов нет
- Незаряженный конденсатор в RC-цепи в начальный момент времени представляет:
 - Проводник
 - Разрыв
 - Имеет некоторое начальное сопротивление
 - Правильных ответов нет
- От чего зависит вид экспоненциального сигнала (рис.а,б)?
 - От варианта цепи (рис.в,г)
 - От начальных условий в реактивностях цепи
 - От соотношений между э.д.с. источников.
 - Ни один из ответов не является правильным



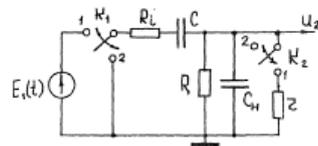
- Постоянная времени контура с одним резистором и одним конденсатором ...?
 - $\theta = CR$; В. $\theta = C/R$;
 - $\theta = R/C$; Д. $\theta = 1/(CR)$
- Постоянная времени контура с одним резистором и одной катушкой индуктивности ...?
 - $\theta = LR$; В. $\theta = L/R$;
 - $\theta = R/L$; Д. $\theta = 1/(LR)$
- Длительность фронта экспоненциально нарастающего сигнала ...
 $t_{\phi}^+ = 2/3 \theta$; $t_{\phi}^+ = 2,3 \theta$; $t_{\phi}^+ = 23 \theta$
- Длительность фронта экспоненциально спадающего сигнала ...
 $t_{\phi}^- = 2/3 \theta$; $t_{\phi}^- = 2,3 \theta$; $t_{\phi}^- = 23 \theta$

- Вариант цепи, импульсы на выходе которой отвечают рисунку, –
 - Укорачивающая RC - цепь
 - Расширяющая RC - цепь
 - Разделительная RC – цепь
 - Правильных ответов нет

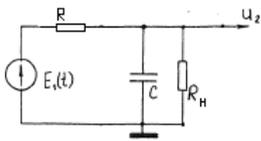


- Эффект динамического смещения заключается:
 - В смещении исходной последовательности импульсов вдоль оси OY
 - В смещении исходной последовательности импульсов вдоль оси OX
 - В смещении исходной последовательности импульсов вдоль осей OX и OY
 - Правильных ответов нет

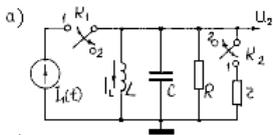
- Влияние паразитных параметров R_{Π} и C_{Π} в укорачивающей RC – цепи сводится:
 - К затягиванию фронта, уменьшению амплитуды, увеличению длительности импульсов
 - К уменьшению длительности фронта, уменьшению амплитуды, увеличению длительности импульсов
 - К затягиванию фронта, увеличению амплитуды, увеличению длительности импульсов
 - К затягиванию фронта, уменьшению амплитуды, уменьшению длительности импульсов
 - Правильных ответов нет



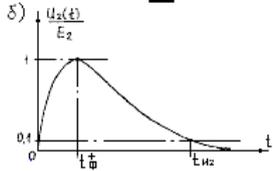
- Влияние паразитного параметра R_{Π} в расширяющей RC – цепи приводит:



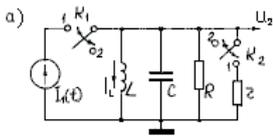
- А. К уменьшению амплитуды и постоянной времени цепи θ . В. К уменьшению амплитуды и увеличению постоянной времени цепи θ
 С. К увеличению амплитуды и постоянной времени цепи θ
 Е. Правильных ответов нет



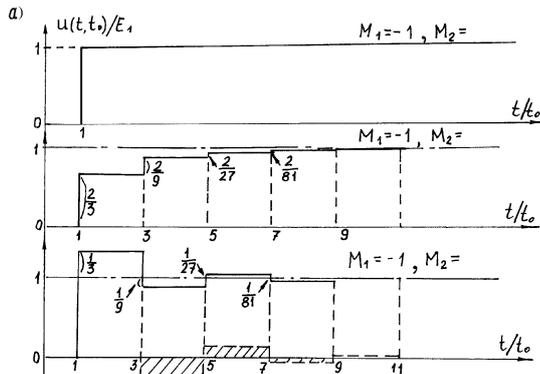
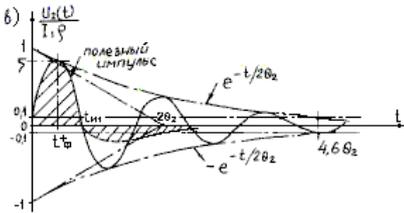
12. Сигнал (рис.б) на выходе схемы (рис.а) отвечает случаю ...?
 А. Когда ключ K_1 замкнут, K_2 разомкнут, $R < 0,5 \rho$
 В. Когда ключ K_1 замкнут, K_2 замкнут, $R > 0,5 \rho$, $r \ll R$
 С. Когда ключ K_1 замкнут, K_2 разомкнут, $R = 0,5 \rho$
 D. Когда ключ K_1 замкнут, K_2 разомкнут, $R > 0,5 \rho$
 Е. Когда ключ K_1 замкнут, K_2 замкнут, $R > 0,5 \rho$, $r \gg R$
 F. Все ответы не верны



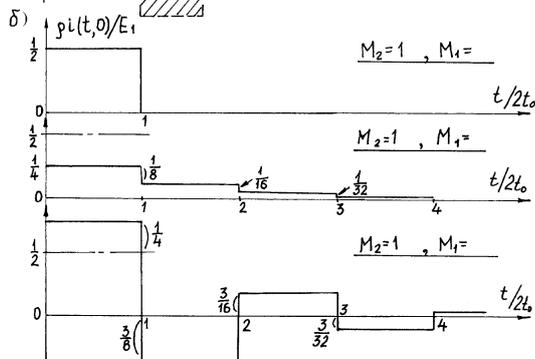
13. Заштрихованный сигнал (рис.б) на выходе схемы (рис.а) отвечает случаю ...?



- А. Когда ключ K_1 замкнут, K_2 разомкнут, $R < 0,5 \rho$
 В. Когда ключ K_1 разомкнут, K_2 разомкнут, $R < 0,5 \rho$
 С. Когда ключ K_1 замкнут, а первоначально разомкнутый K_2 замыкается в момент окончания полезного импульса, $R > 0,5 \rho$, $r \ll R$
 D. Когда ключ K_1 замкнут, K_2 разомкнут, $R > 0,5 \rho$
 Е. Когда ключ K_1 разомкнут, K_2 разомкнут, $R > 0,5 \rho$
 G. Нет ни одного правильного ответа.

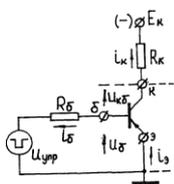


14. На рисунке а) показаны графики напряжения в конце линии для разных M_2 и $M_1 = -1$ ($R_1 = 0$) при воздействии на входе перепада $E_1(t)$ для разных значений коэффициента M_2 . Соответствующая последовательность значений M_2 ...
 А. $M_2 = 0, -1/3, 1/3$
 В. $M_2 = 0, 1/3, -1/3$
 С. $M_2 = 1/3, 0, -1/3$
 D. $M_2 = -1/3, 0, 1/3$
 Е. $M_2 = 1/3, -1/3, 0$
 F. $M_2 = -1/3, 1/3, 0$



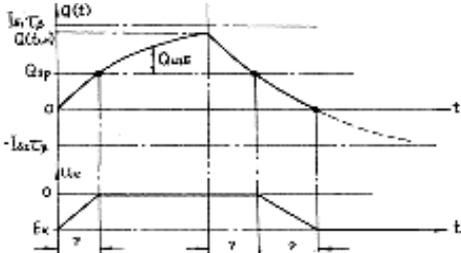
15. На рисунке б) представлена последовательность переходных процессов в начале разомкнутой на конце идеальной однородной линии для разных значений коэффициента M_1 . Соответствующая последовательность значений M_2 ...
 А. $M_1 = 1/2, 0, -1/2$
 В. $M_1 = -1/2, 0, 1/2$
 С. $M_1 = 0, -1/2, 1/2$
 D. $M_1 = 0, 1/2, -1/2$
 Е. $M_1 = 1/2, -1/2, 0$
 F. $M_1 = -1/3, 1/3, 0$

16. На схеме изображен:



- А. Ключ ОЭ
 В. Ключ ОБ
 С. Ключ ОК
 D. Правильных ответов нет

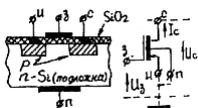
17. В каких транзисторах временные процессы определяются накоплением неосновных носителей зарядов в толще базы:
 А. НЧ ; В. ВЧ; С. НЧ и ВЧ
 D. Ни в тех, ни в других
18. Избыточный заряд $Q_{изб}$ в толще базы (ключ ОЭ) – это:
 А. Заряд, достаточный для перевода ключа в активный режим
 В. Заряд, поддерживающий состояние транзистора на грани активного режима и режима насыщения
 С. Заряд, переводящий транзистор в режим насыщения
 D. Правильных ответов нет
19. Последовательность обозначений (слева направо) временных параметров ключа ОЭ:



- А. $t_{\phi^+}, t_{\phi^-}, t_p$
 В. $t_p, t_{\phi^+}, t_{\phi^-}$
 С. $t_{\phi^+}, t_{\phi^+}, t_p$
 D. $t_{\phi^+}, t_p, t_{\phi^-}$
 E. Правильной последовательности в ответах нет

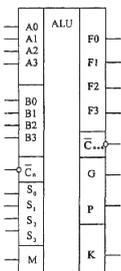
20. Время рассасывания t_p (ключ ОЭ) – это:
 А. Время рассасывания избыточных носителей зарядов от $Q_{изб}$ до $Q_{гр}$
 В. Время рассасывания избыточных носителей зарядов от $Q_{гр}$ до нуля
 С. Время рассасывания избыточных носителей зарядов от $Q_{изб}$ до нуля
 D. Правильных ответов нет
21. Повышение быстродействия ключа ОЭ достигается путем использования (отметьте все возможные варианты):
 А. Ускоряющей емкости
 В. Нелинейной обратной связи
 С. Ускоряющей индуктивности
 D. Линейной обратной связи
 E. Правильных ответов нет
22. В каких соотношениях находятся значения $U_{к.н}, U_{б.н}, U''_{б.п}$ для интегральных биполярных транзисторов ?
 А. $U_{б.н} < U''_{б.п} < U_{к.н}$; В. $U_{к.н} < U''_{б.п} < U_{б.н}$
 С. $U''_{б.п} < U_{б.н} < U_{к.н}$; D. $U_{к.н} < U_{б.н} < U''_{б.п}$
 E. $U''_{б.п} < U_{к.н} < U_{б.н}$; F. $U_{б.н} < U_{к.н} < U''_{б.п}$
 G. Правильных ответов нет
23. Задержка включения интегрального ключа ОЭ обусловлена ...
 А. Рассасыванием избыточного заряда в базе
 В. Задержкой эффективной инжекции неосновных носителей из эмиттера в базу
 С. Перезарядом емкостей переходов

24. Для МОП-транзистора с каналом р-типа подача отрицательного напряжения на затвор приведет:
 А. К появлению индуцированного канала и открытию транзистора
 В. К закрытию транзистора
 С. Ничего не произойдет
 D. Правильных ответов нет

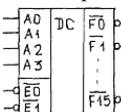


25. Для КМОП-ключа характерно ...
 А. Комплектация МОП-ключа еще одним МОП-транзистором
 В. Комплектация МОП-ключа согласующим резистором
 С. Использование МОП-транзисторов дополняющих типов проводимостей

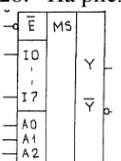
26. На рис. изображено УГО микросхемы ...
 А. Арифметико-логического устройства
 В. Дешифратора
 С. Мультиплексора
 D. Микросхемы контроля

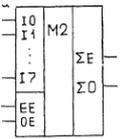


27. На рис. изображено УГО микросхемы:
 А. арифметико-логического устройства
 В. Дешифратора
 С. Мультиплексора
 D. Микросхемы контроля



28. На рис. изображено УГО микросхемы:
 А. Арифметико-логического устройства
 В. Дешифратора
 С. Мультиплексора
 D. Микросхемы контроля

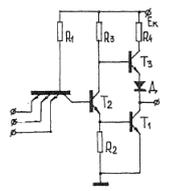




29. На рис. изображено УГО микросхемы:
 А. арифметико-логического устройства
 В. Дешифратора
 С. Мультиплексора
 D. Микросхемы контроля
30. Мультиплексор предназначен:
 А. Для передачи информации с одного из информационных каналов, определенного кодом адреса, на выход
 В. Для активации одного из выходов в соответствии с кодом адреса, подаваемом на его входы
 С. Для деления частоты
 D. Правильных ответов нет
31. Дешифратор – это:
 А. Комбинационная схема на М входов и 2^M выходов
 В. Комбинационная схема на $M = m + 2^m$ входов и 1 выход
 С. Линейка из ряда триггеров, используемая для последовательного накопления, промежуточного хранения и сдвига данных
 D. Правильных ответов нет
32. На соответствие: определите, к какому типу (комбинационные или с триггерной памятью) относятся следующие микросхемы:
 А. АЛУ
 В. Дешифратор
 С. Мультиплексор
 D. Микросхема контроля
33. Выход компаратора в АЛУ:
 А. Обычный
 В. На три состояния
 С. С открытым коллектором
34. В каком режиме работает АЛУ при выполнении операции сравнения операндов?
 А. Арифметического сложения
 В. Вычитания
 С. Сложения по mod2
 D. Логического умножения
35. Логическая обработка в АЛУ подразумевает выполнение:
 А. Побитовых операций над суммой операндов
 В. Побитовых операций над парой операндов
 С. Побитовых операций над произведением операндов
36. Микросхема GRP – это:
 А. Генератор быстрых последовательностей
 В. Генератор правильных последовательностей
 С. Схема ускорения переносов
37. Максимальный эффект от применения GRP наблюдается при сложении:
 А. 16-разрядных операндов
 В. 32-разрядных операндов
 С. 64-разрядных операндов
38. Основное назначение микросхемы K155ИП2:
 А. Контроль выполнения арифметических операций
 В. Контроль выполнения логических операций
 С. Контроль правильности передач по линиям связи
39. Дуальность понятий «мультиплексор – демультиплексор» в микросхемах КМОП обеспечивается использованием:
 А. Высококачественных технологий
 В. Коммутационных ключей
 С. Встроенных дешифраторов
40. Коммутаторы КМОП обладают:
 А. Двухнаправленностью
 В. Способностью пропускать цифровые сигналы
 С. Способностью пропускать аналоговые сигналы

Задания на тестирование 2

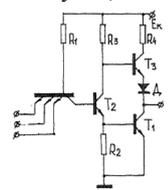
1. На рисунке изображена:



- А. Схема с простым инвертором
 В. Схема со сложным инвертором
 С. Схема с двухкаскадным инвертором
 D. Правильных ответов нет

2. Какую логическую функцию в положительной логике сигналов выполняет схема со сложным инвертором?
 А. И-НЕ; В. ИЛИ-НЕ; С. И-ИЛИ-НЕ; D. НЕ;
 E. Правильных ответов нет

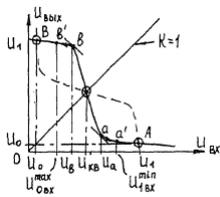
3. Случай, когда T₁, T₂ открыты, T₃ закрыт, соответствует:



- А. Установке единичного сигнала на выходе
 В. Установке нулевого сигнала на выходе
 С. Правильных ответов нет

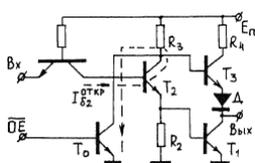
4. Укажите все параметры, которые позволяет определить АПХ интегральных микросхем:
 А. U_{\min}^0 ; В. U_{\max}^0
 С. Коэффициент разветвления по выходу
 D. Статическую помехоустойчивость по входу
 E. Правильных ответов нет.

5. На рис. изображена АПХ элемента:



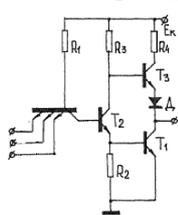
- А. И
 B. ИЛИ
 C. И-НЕ
 D. ИЛИ-НЕ
 E. НЕ

6. Транзистор T_0 предназначен:



- А. Для организации выхода на 3 состояния
 B. Для более надежного закрытия T_3
 C. Для увеличения степени насыщения транзистора T_2
 D. Для увеличения степени насыщения транзистора T_1
 E. Правильных ответов нет

7. Резистор сопротивлением 1кОм, подключенный к $E_{пит}$, обеспечивает уровень логической единицы для:

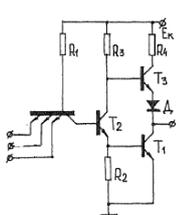


- А. 5 входов микросхем
 B. 10 входов микросхем
 C. 15 входов микросхем
 D. 20 входов микросхем
 E. 30 входов микросхем

8. Транзистор T_2 введен для:

- А. Для увеличения нагрузочной способности и помехоустойчивости схемы
 B. Для уменьшения выходного сопротивления в закрытом состоянии
 C. Для увеличения величины единичного потенциала на выходе
 D. Правильных ответов нет

9. Диод Д введен для:

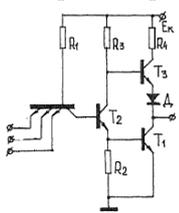


- А. Надежного закрытия триода T_3
 B. Уменьшения выходного сопротивления схемы в закрытом состоянии
 C. Уменьшения величины нулевого потенциала на выходе
 D. Более надежного открывания триода T_1
 E. Правильных ответов нет

10. Для элементов ТТЛ стандартный коэффициент разветвления равен:

- А. 5; B. 7; E. 10; C. 15; D. 20

11. Транзистор T_3 необходим для:



- А. уменьшения выходного сопротивления схемы в закрытом состоянии
 B. уменьшения выходного сопротивления схемы в открытом состоянии
 C. увеличения выходного сопротивления схемы в закрытом состоянии
 D. увеличения выходного сопротивления схемы в открытом состоянии
 E. Правильных ответов нет

12. В каких случаях допускается объединение выходов ТТЛ-схем

- А. для ТТЛ-схем с обычной организацией выходов
 B. для ТТЛ-схем с обычной организацией выходов и с ОК
 C. для ТТЛ-схем с ОК и 3 состояниями выходов
 D. Правильных ответов нет

13. Чего требует организация выходов с ОК.

- А. Установки внешнего резистора
 B. Установки внешнего конденсатора
 D. Установки внешней индуктивности
 E. Правильных ответов нет

14. Для чего требуется специальная организация выходов ...?

- А. Для возможности объединения выходов
 B. Для работы на ОШ

- C. Для увеличения нагрузочной способности микросхем с объединяемыми выходами
- D. Для увеличения быстродействия микросхем с объединяемыми выходами
- E. Правильных ответов нет

15. Символ на рисунке обозначает ...?



- A. Выход с открытым коллектором.
- B. Выход на три состояния.
- C. Выход с открытым эмиттером.
- D. Выход с открытой базой.

16. Символ на рисунке обозначает ...?

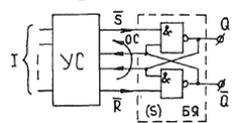


- A. Выход с открытым коллектором.
- B. Выход на три состояния.
- C. Выход с открытым эмиттером.
- D. Выход с открытой базой.

17. Бистабильная ячейка – это:

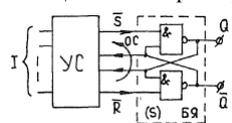
- A. Асинхронный RS-триггер
- B. Синхронный RS-триггер
- C. Асинхронный D-триггер
- D. Синхронный D-триггер
- E. Правильных ответов нет

18. Управляющая схема в каноническом представлении триггера служит:



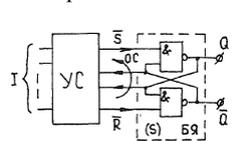
- A. Для выработки сигналов возбуждения БЯ согласно с логике функционирования триггера
- B. Для перевода БЯ в режим хранения
- C. Для установки БЯ в единицу
- D. Для сброса БЯ в ноль
- E. Для изменения состояния БЯ

19. Цепи ОС в триггере реализуют:



- A. Режим изменения состояния
- B. Режим хранения
- C. Режим установки нуля
- D. Режим установки единицы

20. При наличии БЯ в УС:

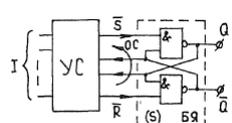


- A. Триггер является одноступенчатым
- B. Триггер является двухступенчатым
- C. Число ступеней не зависит от числа БЯ
- D. Правильных ответов нет

21. По какому признаку триггеры объединяются в группы:

- A. по наличию или отсутствию режима изменения состояния
- B. по наличию или отсутствию режима сброса
- C. по наличию или отсутствию режима установки 1
- D. Правильных ответов нет

22. Для чего в УС вводят БЯ:



- A. Для снятия ограничения на максимальную длительность СИ
- B. Для изменения выхода по фронту СИ
- C. Для изменения выхода по срезу СИ
- D. Правильных ответов нет

23. Почему JK-триггер является универсальным триггером (отметьте все подходящие варианты):

- A. В нем реализованы все 4 режима работы
- B. Его можно настроить на реализацию функций других триггеров
- C. Он содержит две БЯ
- D. Правильных ответов нет

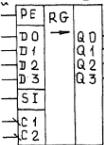
24. При подаче на входы J и K JK-триггера информации в прямом и инверсном виде соответственно триггер будет работать как:

- A. D-триггер
- B. RS-триггер
- C. T-триггер

25. При объединении входов J и K JK-триггера триггер будет работать как:

- A. D-триггер
- B. RS-триггер
- C. T-триггер

26. На рис. изображено УГО микросхемы:

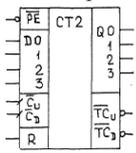


- A. Арифметико-логического устройства
- B. Дешифратора
- C. Мультиплексора
- D. Микросхемы контроля
- E. Регистра
- F. Счетчика
- G. Генератора импульсов

27. Отметьте все возможные разновидности счетчиков

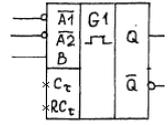
- A. Двоичные
- B. Десятичные
- C. Синхронные
- D. Асинхронные
- E. С программируемым коэффициентом пересчета

28. На рис. изображено УГО микросхемы:



- A. Арифметико-логического устройства
- B. Дешифратора
- C. Мультиплексора
- D. Микросхемы контроля
- E. Регистра
- F. Счетчика
- G. Генератора импульсов

29. На рисунке изображено УГО микросхемы:

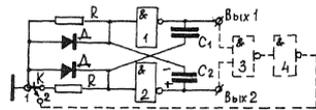


- A. Арифметико-логического устройства
- B. Дешифратора
- C. Мультиплексора
- D. Микросхемы контроля
- E. Регистра
- F. Счетчика
- G. Генератора импульсов

30. На выходах Q микросхем счетчиков отображается:

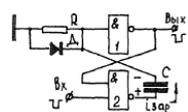
- A. Текущее состояние счета
- B. Максимальный коэффициент пересчета
- C. (Состояние счета) – 1
- D. Правильных ответов нет

31. Элементы 3 и 4 в схеме автоколебательного релаксатора предназначены для:



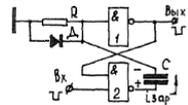
- A. исключения состояния, когда оба элемента закрыты и обе емкости заряжены
- B. исключения состояния, когда один из элементов открыт, а другой закрыт
- C. исключения состояния, когда одна емкость заряжена, другая разряжена
- D. Правильных ответов нет

32. Для ждущего генератора должно выполняться условие:



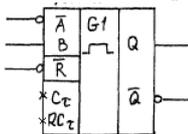
- A. $t_{н\text{ вх}} < t_{н\text{ вых}}$
- B. $t_{н\text{ вх}} > t_{н\text{ вых}}$
- C. $t_{н\text{ вх}} = t_{н\text{ вых}}$

33. Диод Д в схеме ждущего генератора предназначен для:



- A. Быстрого разряда конденсатора С
- B. Быстрого заряда конденсатора С
- C. Для стабилизации выходного импульса
- D. Правильных ответов нет

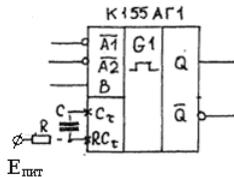
34. Запуск генератора можно осуществить (выберите все подходящие варианты):



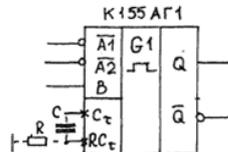
- A. по фронту импульса, подаваемого на вход В или \bar{R}
- B. По срезу импульса, подаваемого на вход \bar{R} или \bar{A}
- C. по срезу импульса, подаваемого на вход А
- D. по фронту импульса, подаваемого на вход В или \bar{A}
- E. Правильных ответов нет

35. Выберите правильный вариант подключения времязадающих компонент:

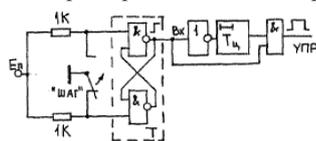
A



B

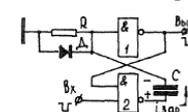


36. Триггер Т в схеме ГОИ предназначен для:



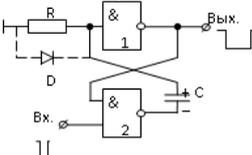
- A. Устранения «дребезга контактов»
- B. Формирования требуемой длительности импульса
- C. Формирования положительного фронта
- D. Устранения гонок
- E. Правильных ответов нет

37. Составьте правильную последовательность работы ждущего генератора:



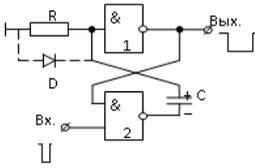
- A. Конденсатор С разряжен, элемент 2 открыт, 1 – закрыт
- B. Конденсатор С заряжается
- C. Элемент 2 закрыт, элемент 1 открыт
- D. Разряд конденсатора С
- E. Элемент 1 закрывается, 2 открывается
- F. Подача отрицательного импульса на вход

38. На рисунке изображен ждущий генератор с исходным состоянием: элемент 1 закрыт, элемент 2 открыт, емкость С практически разряжена. При действии на входе элемента 2 короткого отрицательного импульса происходит следующее ...



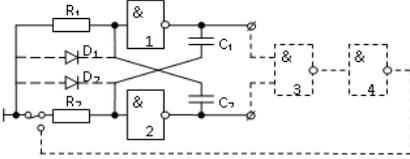
- A. На выходе эл.2 имеем уровень «1», конденсатор заряжается.
- B. На выходе эл.2 имеем уровень «1», конденсатор разряжается.
- C. На выходе эл.2 имеем уровень «0», конденсатор заряжается.
- D. На выходе эл.2 имеем уровень «0», конденсатор разряжается.

39. Длительность импульса на выходе ждущего генератора, показанного на рисунке, ... ?



- A. Прямо пропорциональна емкости конденсатора.
- B. Обратна пропорциональна емкости конденсатора.
- C. Прямо пропорциональна проводимости антизвонного диода.
- D. Обратна пропорциональна проводимости антизвонного диода.

40. На рисунке изображена автоколебательная схема с исходным состоянием: элемент 1 закрыт, элемент 2 открыт, емкость C_1 разряжена, емкость C_2 заряжена. Для чего служат элементы 3 и 4?



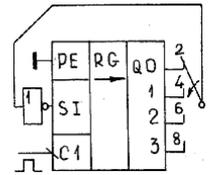
- A. Чтобы открыть элемент 2 на время разряда емкости C_2 .
- B. Чтобы обеспечить заряд емкости C_1 .
- C. Чтобы перевести автоколебательную схему в режим ждущего генератора.
- D. Чтобы предотвратить режим жесткого самовозбуждения.

Оценка практических умений и навыков:

Пример типовой задачи.

Коммутируя выходы микросхемы регистра K155ИР1 через инвертор на вход SI (см. рисунок)), можно осуществить деление частоты на 2, 4, 6, 8.

Вопрос: Каким образом на основе той же микросхемы можно реализовать деление частоты на 3, 5, 7?



6.2. Контрольные вопросы / вопросы зачета

1. Анализ цепей с экспоненциальным изменением.
2. Импульсные процессы в простейших цепях.
3. Влияние паразитных параметров цепи на прохождение импульсов.
4. Импульсные процессы в длинной линии.
5. Статические и динамические параметры транзисторов.
6. Характеристика открытого и закрытого состояний ключа ОЭ.
7. Временные процессы в ключе ОЭ.
8. Ускорение процессов в ключе ОЭ.
9. МОП- и КМОП-ключи
10. Особенности статики и динамики интегрального ключа.
11. Обобщенные параметры интегральных логических схем.
12. Простейший ТТЛ-элемент.
13. ТТЛ-элемент со сложным инвертором.
14. Стандартизация сигнальных потенциалов в цепочке логических элементов. Амплитудно-передаточная характеристика ТТЛ-ИС.
15. Входная и выходная характеристики ТТЛ-ИС. Их совместное использование.
16. Основные серии ТТЛ-ИС. Базовый элемент серии K155. Электрические параметры элементов серий K155, KP1533.
17. Микросхемы ТТЛ типа ЛР, ЛА, ЛЕ, ЛН, ТЛ.
18. Свободные входы элементов ТТЛ. Необходимость специальной организации выхода ТТЛ-ИС со сложным инвертором.
19. ТТЛ-ИС с открытым коллектором.
20. ТТЛ-ИС на три состояния выхода.
21. Интегральные элементы КМОП
22. Простейшие бистабильные ячейки.
23. Каноническая блок-схема триггера. Понятие MS-триггера. Динамическое и потенциальное управление.
24. Интерпретация понятия такта для триггерных схем. Одноступенчатые триггерные схемы. Понятие задержки на такт.
25. Микросхемы JK-триггеров ТТЛ.
26. Микросхемы D-триггеров ТТЛ и КМОП.
27. Формирователи импульсов ТТЛ.
28. Простейшие ждущие релаксационные генераторы ТТЛ.
29. Простейшие автоколебательные релаксаторы ТТЛ.
30. Микросхемы генераторов импульсов ТТЛ.
31. Построение систем синхронизации.
32. Арифметические микросхемы ТТЛ. Микросхема K155 ИП3.
33. Микросхема K155 ИП4.
34. Микросхемы контроля. Микросхема K155ИП2.
35. Микросхемы дешифраторов. Микросхема K155 ИД3.
36. Микросхема K155ИД1. Повышение разрядности адреса дешифраторов на ее основе.
37. Микросхемы мультиплексоров. Микросхемы K155КП2 и др.

38. Мультиплексор как УЛМ.
39. Дешифраторы, мультиплексоры и коммутаторы КМОП.
40. Разновидности микросхем регистров ТТЛ. Регистры серии К155. Микросхема К155ИР1
41. Типы микросхем счетчиков ТТЛ. Микросхема К155ИЕ7.
42. Микросхема К155ИЕ9.
43. Микросхемы регистров и счетчиков КМОП.

Лист регистрации изменений и дополнений

№ п/п	№ страницы внесения изменений	Дата внесения изменения	Краткое содержание изменений (основание)	Ф.И.О., подпись	«Согласовано» заведующий кафедрой, ведущей дисциплину