

**Министерство образования и науки Российской Федерации  
федеральное государственное бюджетное образовательное  
учреждение высшего образования  
«Казанский национальный исследовательский технический университет  
им. А.Н. Туполева-КАИ»**

Институт Компьютерные технологии и защита информации

Кафедра Компьютерные системы

**АННОТАЦИЯ**

**к рабочей программе**

**дисциплины**

**«Языки описания электронных схем»**

Индекс по учебному плану: **Б1.В.ДВ.01.03**

Направление подготовки: **09.04.01 «Информатика и вычислительная техника»**

Квалификация: **магистр**

Магистерская программа: **Высокопроизводительные вычислительные системы**

Виды профессиональной деятельности: **научно-исследовательская**

Разработчики:

профессор кафедры Компьютерных систем, д.т.н. Кузнецов В.М.

ассистент кафедры Компьютерных систем Гумиров А.И.

Казань 2017 г.

## 1. Цели и задачи учебной дисциплины

Основной целью изучения дисциплины является:

- формирование у будущих магистров углубленного представления о современных способах проектирования электронных схем большой степени интеграции на базе программируемых логических интегральных схем (ПЛИС) и развитие практических навыков в области проектирования электронных схем с помощью языков описания электронных схем (VHDL и Verilog).

Основными задачами изучения дисциплины являются:

- изучение и применение инструментов автоматизированного проектирования (САПР) при разработке электронных компонентов на базе программируемых логических интегральных схем (ПЛИС);
- овладение базовыми приемами проектирования на языках описания электронных схем (Hardware Description Languages, HDL), таких как VHDL и Verilog, сравнение с возможностями графического проектирования, формирование умения комбинировать графический и языковой способы описания схем в одном проекте там, где это целесообразно, формирование представления об иерархической структуре проекта и умения пользоваться средствами описания иерархии проекта;
- получение представления об IP-ядрах, в том числе IP-ядрах микропроцессорного типа, изучение технической документации IP-ядер и средств их настройки и интеграции в схемы, овладение навыками ускоренного схемотехнического проектирования с использованием IP-ядер;
- получение представления о современных отладочных платах, их составе и возможностях, роли в процессе проектирования и отладки электронных устройств, а также формирование углубленных навыков работы с современными отладочными платами и соответствующей технической документацией.

## 2. Перечень компетенций, которые должны быть реализованы в ходе освоения дисциплины

Компетенция, которая должна быть реализована в ходе освоения дисциплины: ПК-7.

### 3. Структура дисциплины и трудоемкость ее составляющих

Таблица. Распределение фонда времени по семестрам, неделям и видам занятий для очной формы обучения

Наименование раздела и темы	Всего часов	Виды учебной деятельности, включая самостоятельную работу студентов и трудоемкость (в часах / интерактивные часы)				Коды составляющих компетенций	Формы и вид контроля освоения составляющих компетенций (из фонда оценочных средств)
		лекции	ла. раб.	пр. зан.	сам. раб.		
<i>Раздел 1. Обзор современных средств и методов автоматизированного схемотехнического проектирования. Введение в HDL.</i>							<i>ФОС ТК-1</i>
Тема 1.1. Архитектура и основные характеристики ПЛИС. Знакомство с современной отладочной платой и САПР.	18/4	2	4/4	2	10	ПК-7.3 ПК-7.У ПК-7.В	Тест, отчет о выполнении лабораторной работы
Тема 1.2. Основы работы в схемотехническом редакторе и редакторе HDL кода САПР. Сравнение схемотехнического описания и описания на языках HDL.	18/4	2	4/4	2	10	ПК-7.3 ПК-7.У ПК-7.В	Тест, отчет о выполнении лабораторной работы
<i>Раздел 2. Основы языка VHDL.</i>							<i>ФОС ТК-2</i>
Тема 2.1. Классификация языков описания электронных схем (HDL). Основные средства и понятия языка VHDL. Структура простого VHDL-описания.	18/4	2	4/4	2	10	ПК-7.3 ПК-7.У ПК-7.В	Тест, отчет о выполнении лабораторной работы, индивидуальное задание
Тема 2.2. Параллельные и последовательные операторы языка VHDL. Структура иерархического VHDL-описания. Подпрограммы, библиотеки и пакеты языка VHDL.	18/4	2	4/4	2	10	ПК-7.3 ПК-7.У ПК-7.В	Тесты, отчет о выполнении лабораторной работы, индивидуальное задание
<i>Раздел 3. Описание сложных проектов на языке VHDL и основы языка Verilog.</i>							<i>ФОС ТК-3</i>
Тема 3.1. Концепция быстрого проектирования с использованием IP-ядер. Настройка IP-ядер. Интеграция IP-ядер в проекты со схемотехническим описанием и описанием на языках HDL.	18/4	2	4/4	2	10	ПК-7.3 ПК-7.У ПК-7.В	Тест, отчет о выполнении лабораторной работы, индивидуальное задание

Тема 3.2. Особенности проектирования и отладки сложных проектов. Краткий обзор языка Verilog.	18/4	2	4/4	2	10	ПК-7.3 ПК-7.У ПК-7.В	Опрос, отчет о выполнении лабораторной работы
Курсовая работа	36	–	–	–	36		<i>ФОС ПА 2 комплексное задание</i>
Экзамен	36	–	–	–	36		<i>ФОС ПА 1 комплексное задание</i>
ИТОГО:	180	12	24/24	12	132		

#### **4. Учебно-методическое и информационное обеспечение дисциплины (модуля)**

##### **4.1. Основная литература**

1. Глазков, В.В. Программируемые логические интегральные схемы фирмы Altera: учеб. пособие по дисциплине «Технология и схемотехника средств управления в технических системах». [Электронный ресурс] — Электрон. дан. — М. : МГТУ им. Н.Э. Баумана, 2014. — 133 с. — Режим доступа: <http://e.lanbook.com/book/58395> — Загл. с экрана.

2. Соловьев, Валерий Васильевич. Основы языка проектирования цифровой аппаратуры Verilog / В. В. Соловьев. - М. : Горячая линия - Телеком, 2014. - 206 с. - ISBN 978-5-9912-0353-1 : 528.00 р.

3. Смирнов, Ю.А. Основы микроэлектроники и микропроцессорной техники. [Электронный ресурс] / Ю.А. Смирнов, С.В. Соколов, Е.В. Титов. — Электрон. дан. — СПб. : Лань, 2013. — 496 с. — Режим доступа: <http://e.lanbook.com/book/12948> — Загл. с экрана.

4. Макаренко, А.А. Расчет цифровых фильтров методом автоматизированного проектирования. [Электронный ресурс] / А.А. Макаренко, М.Ю. Плотников. — Электрон. дан. — СПб. : НИУ ИТМО, 2014. — 50 с. — Режим доступа: <http://e.lanbook.com/book/71056> — Загл. с экрана.

##### **4.2. Основное информационное обеспечение дисциплины (модуля)**

1. Кузнецов В.М., Гумиров А.И. Языки описания электронных схем [Электронный ресурс]: курс дистанц. обучения по направлению подготовки специалистов 09.04.01 «Информатика и вычислительная техника» ФГОСЗ+ / КНИТУ-КАИ, Казань, в разработке.

## **5. Кадровое обеспечение дисциплины (модуля)**

### **5.1. Базовое образование**

Высшее образование в области информатики и вычислительной техники и /или наличие ученой степени и/или ученого звания в указанной области и /или наличие дополнительного профессионального образования – профессиональной переподготовки в области информатики и вычислительной техники и /или наличие заключения экспертной комиссии о соответствии квалификации преподавателя профилю преподаваемой дисциплины.

### **5.2. Профессионально-предметная квалификация преподавателей**

Наличие научных и/или методических работ по организации или методическому обеспечению образовательной деятельности по направлению информатики и вычислительной техники, выполненных в течение трех последних лет.

### **5.3. Педагогическая (учебно-методическая) квалификация преподавателей**

К ведению дисциплины допускаются кадры, имеющие стаж научно-педагогической работы (не менее 1года), практический опыт работы в области информатики и вычислительной техники на должностях руководителей или ведущих специалистов более 3 последних лет.

Обязательное прохождение повышения квалификации (стажировки) не реже чем один раз в три года соответствующее области информационной безопасности, информатики и вычислительной техники, либо в области педагогики.